

Формирование и усиление сигналов

DOI 10.66032/2221-2574-2025-1-4-34-43

УДК 621.396

ГИБРИДНЫЙ СИНТЕЗАТОР ЧАСТОТ С ПОВЫШЕННОЙ СКОРОСТЬЮ ПЕРЕСТРОЙКИ

Якименко Кирилл Александрович

кандидат технических наук, доцент, доцент кафедры радиотехники Муромского института (филиала) ФГБОУ ВО «Владимирский государственный университет имени Александра Григорьевича и Николая Григорьевича Столетовых».

E-mail: yakimenko.kirill@yandex.ru

Ромашов Владимир Викторович

доктор технических наук, профессор, заведующий кафедрой радиотехники Муромского института (филиала) ФГБОУ ВО «Владимирский государственный университет имени Александра Григорьевича и Николая Григорьевича Столетовых».

Беркут Ирина Александровна

магистрант Муромского института (филиала) ФГБОУ ВО «Владимирский государственный университет имени Александра Григорьевича и Николая Григорьевича Столетовых».

Березина Дарья Максимовна

магистрант Муромского института (филиала) ФГБОУ ВО «Владимирский государственный университет имени Александра Григорьевича и Николая Григорьевича Столетовых».

Адрес: 602264, Российская Федерация, Владимирская обл., г. Муром, ул. Орловская, д. 23.

Аннотация: В данной работе представлен гибридный синтезатор на основе быстродействующего цифро-аналогового преобразователя (ЦАП) и системы фазовой автоподстройки частоты (ФАПЧ) с повышенной скоростью перестройки. Скорость перестройки повышается за счёт использования специальной системы, принцип действия которой заключается в изменении параметров петлевого фильтра нижних частот (ФНЧ) в режиме перестройки частоты. Предлагаемое решение позволяет уменьшить время перестройки в 6–7 раз по сравнению с временем перестройки синтезатора на основе ФАПЧ с обычным петлевым ФНЧ. Проведённая оценка спектральных характеристик показала, что предлагаемый синтезатор обеспечивает низкий джиттер выходного сигнала (в 5 раз меньший, чем джиттер синтезатора с обычным петлевым ФНЧ) и эффективную фильтрацию нежелательных дискретных побочных спектральных составляющих вблизи несущей.

Ключевые слова: гибридный метод синтеза, быстродействующий цифро-аналоговый преобразователь, ЦАП, фазовая автоподстройка частоты, ФАПЧ, джиттер.

Введение

Гибридные синтезаторы частот на основе прямого цифрового и косвенного методов синтеза имеют ряд преимуществ [1–5] перед синтезаторами, использующими традиционные методы синтеза. К таким преимуществам относятся малый шаг перестройки (за счёт применения в структуре формирователей сигналов на основе быстродействующих цифро-аналоговых преобразователей — БЦАП) [6–8], относительно чистый спектр выходного сигнала, свободный от нежелательных дискретных спектральных составляющих (за счёт применения системы

фазовой автоподстройки частоты — ФАПЧ), низкий уровень фазовых шумов (за счёт использования частотного смесителя в цепи обратной связи) [9–12]. Однако недостатком, характерным для всех синтезаторов на основе косвенного метода синтеза является относительно невысокая скорость перестройки по частоте. У современных интегральных синтезаторов она составляет миллисекунды, что существенно ограничивает их применение в современных высокоскоростных радиосистемах (например, в радиолокации или телекоммуникационных системах новых поколений).

Переходные характеристики синтезаторов на основе ФАПЧ определяются передаточной функцией петлевого фильтра нижних частот. Чем больше полоса пропускания петлевого фильтра, тем выше скорость перестройки синтезатора по частоте. Однако при чрезмерном увеличении полосы пропускания управляющее напряжение частотно-фазового детектора недостаточно фильтруется от высокочастотной паразитной модуляции из-за помех, генерируемых составными блоками ФАПЧ. Это приводит к увеличению фазового шума и проникновению спектральных составляющих в область вблизи несущей. В связи с этим при проектировании необходимо соблюдать компромисс между скоростью перестройки и допустимой чистотой спектра. Обычно для синтезаторов на основе косвенного метода синтеза рекомендуется полоса пропускания петлевых ФНЧ в десять раз меньше частоты сравнения в частотно-фазовом детекторе.

Целью данной работы является разработка гибридного синтезатора на основе быстродействующего ЦАП и системы ФАПЧ с повышенной скоростью перестройки, а также оценка его спектральных характеристик.

1. Структурная схема гибридного синтезатора частот с повышенной скоростью перестройки

Рассмотрим принцип увеличения быстродействия синтезаторов частот на основе косвенного метода синтеза. Суть данного принципа [12–14] заключается в том, что в установившемся режиме петлевой фильтр имеет узкую полосу пропускания, за счёт чего обеспечивается хорошая спектральная чистота выходного сигнала. В режиме перестройки частоты полоса пропускания резко увеличивается, далее синтезатор быстро перестраивается на нужную частоту, затем полоса пропускания фильтра вновь уменьшается. При этом важно, чтобы система ФАПЧ вернулась в состояние устойчивости.

Рассмотрим реализацию данного принципа в гибридном методе синтеза частот. На рис. 1 представлена структурная схема гибридного синтезатора частот на основе быстродействующего ЦАП с высокой скоростью перестройки [15]. На схеме применены обозначения: ГОЧ — генератор опорной частоты; ЧФД — частотно-фазовый детектор; СНЗ 1 и СНЗ 2 — основная и вспомогательная системы накачки

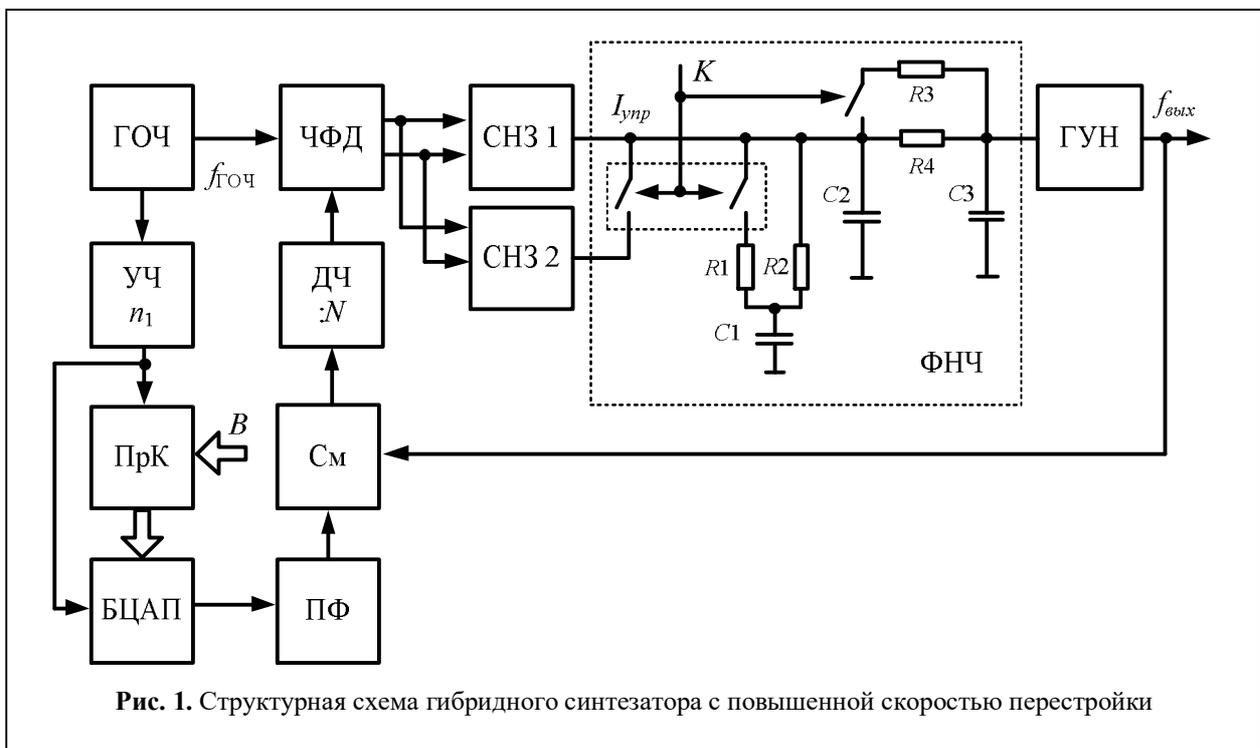


Рис. 1. Структурная схема гибридного синтезатора с повышенной скоростью перестройки

заряда, соответственно; ФНЧ — петлевой фильтр нижних частот; ГУН — генератор, управляемый напряжением; См — частотный смеситель; ДЧ — делитель частоты с коэффициентом деления N ; УЧ — умножитель частоты с коэффициентом умножения n_1 ; ПрК — преобразователь кода; БЦАП — быстродействующий ЦАП; ПФ — полосовой фильтр.

Принцип работы синтезатора в установившемся режиме состоит в следующем. ГОЧ формирует высокостабильный сигнал с частотой $f_{\text{ГОЧ}}$, поступающий на оба его выхода. ЧФД, принимая данный сигнал с первого выхода ГОЧ, вырабатывает импульсные сигналы, длительность которых пропорциональна разности фаз сигналов на его входах. Далее сигналы подаются на СНЗ 1, которая формирует управляющий ток $I_{\text{упр}}$. В установившемся режиме ключи разомкнуты. Петлевой фильтр нижних частот, в качестве которого используется пассивный пропорционально-интегрирующий фильтр третьего порядка, образованный сопротивлениями R_2 , R_3 и ёмкостями C_1 , C_2 , C_3 , фильтрует управляющий сигнал, подающийся на ГУН. Выходной сигнал ГУН с частотой $f_{\text{вых}}$ является выходным сигналом всего устройства. По цепи обратной связи данный сигнал подаётся на один из входов смесителя. Второй выход ГОЧ подключён к умножителю частоты УЧ. Частота выходного сигнала ГОЧ умножается в n_1 -раз и тактирует прямой цифровой формирователь, образованный ПрК и быстродействующим ЦАП, работающим в специальном режиме. На выходе БЦАП формируется сигнал, содержащий увеличенные по амплитуде спектральные компоненты в высших зонах Найквиста, из которых с помощью полосового фильтра выделяется требуемый компонент с частотой, близкой к $f_{\text{вых}}$. Далее в смесителе выделяется сигнал с разностной частотой между $f_{\text{вых}}$ и частотой спектрального компонента. Таким образом, частота выходного сигнала ГУН переносится вниз. Программируемый делитель ДЧ при необходимости делит сигнал в N -раз, и далее сигнал подаётся на

ЧФД, который при разности фаз на входах вырабатывает сигнал ошибки и подстраивает частоту выходного сигнала гибридного синтезатора.

Рассмотрим работу гибридного синтезатора в режиме перестройки частоты. Перестройка осуществляется подачей кода частоты B на ПрК. Одновременно с этим управляющий сигнал K замыкает ключи. Ток $I_{\text{упр}}$ увеличивается в k -раз за счёт включения дополнительной СНЗ 2. Полоса пропускания фильтра расширяется благодаря включению резистора R_1 параллельно R_2 и резистора R_3 параллельно R_4 . При этом номиналы сопротивлений определяются по формулам:

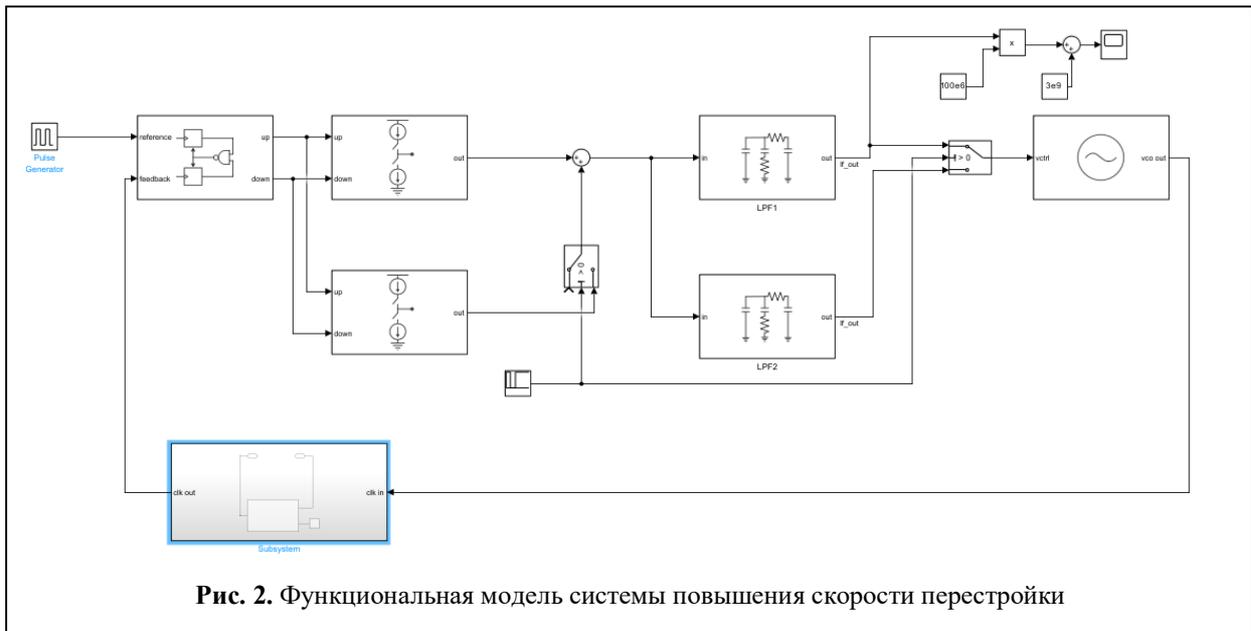
$$R_1 = \frac{R_2}{\sqrt{k} - 1}; \quad R_3 = \frac{R_4}{\sqrt{k} - 1}. \quad (1)$$

ГУН быстро перестраивается на нужную частоту, и синтезатор возвращается в исходное состояние с разомкнутыми ключами. Применение предлагаемого фильтра третьего порядка позволяет уменьшить скачок частоты при перестройке и более эффективно бороться с помехами управляющего сигнала.

2. Функциональное моделирование системы повышения скорости перестройки частоты гибридного синтезатора

На рис. 2 представлена функциональная модель системы повышения скорости перестройки гибридного синтезатора. Проведём моделирование при следующих параметрах: частота сравнения ЧФД $f_{\text{ЧФД}} = 1$ МГц; частота выходного сигнала при нулевом напряжении на входе ГУН $f_{\text{ГУН}} = 3$ ГГц; крутизна регулировочной характеристики ГУН $K_{\text{ГУН}} = 100$ МГц/В; сила тока СНЗ 1 $I_{\text{СНЗ1}} = 1$ мА. Петлевой ФНЧ образован элементами с номиналами $R_2 = 2$ кОм, $R_4 = 25,5$ кОм, $C_1 = 19,2$ нФ, $C_2 = 1,75$ нФ, $C_3 = 125$ пФ. Частота среза петлевого ФНЧ в установившемся режиме $f_{\text{ср}} = 100$ кГц.

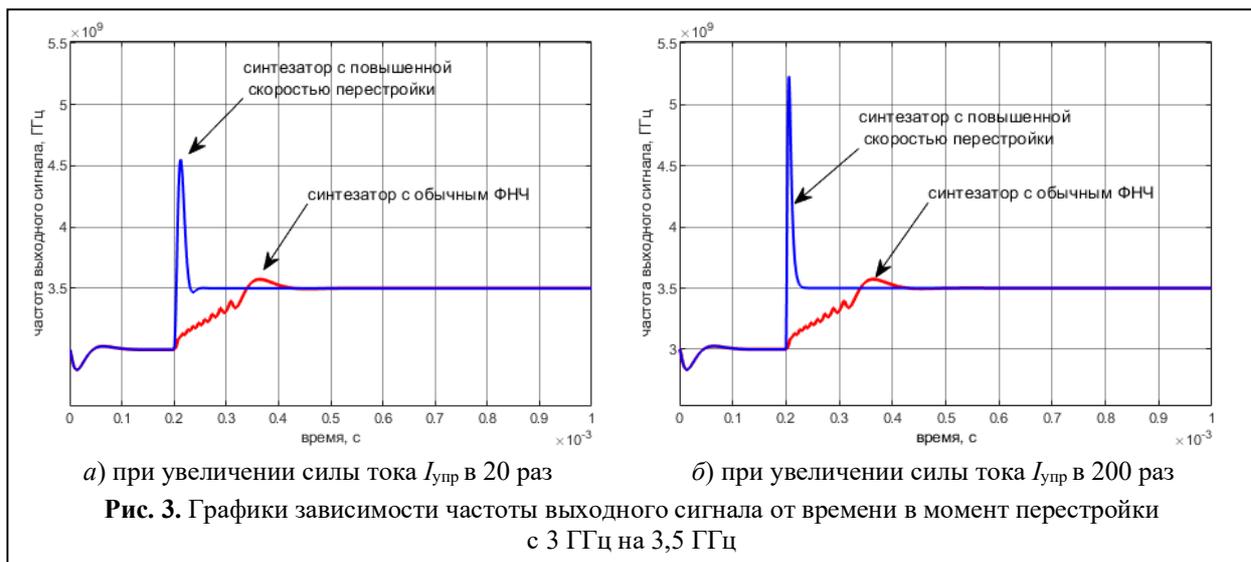
На рис. 3 показаны графики зависимости частоты выходного сигнала от времени в момент перестройки с частоты 3 ГГц на частоту 3,5 ГГц. Кривая 1 — переходная характеристика

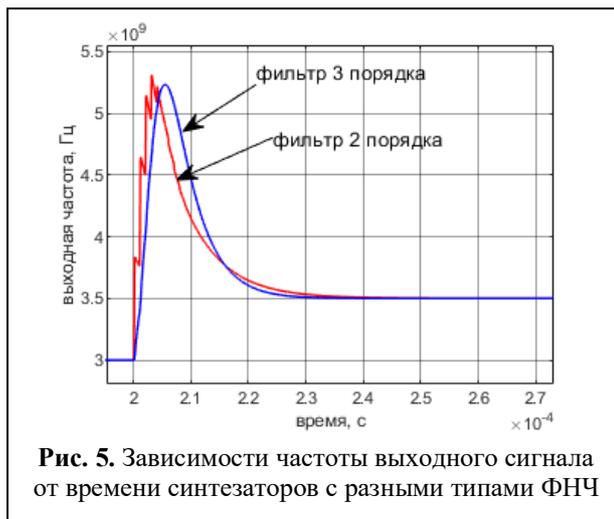
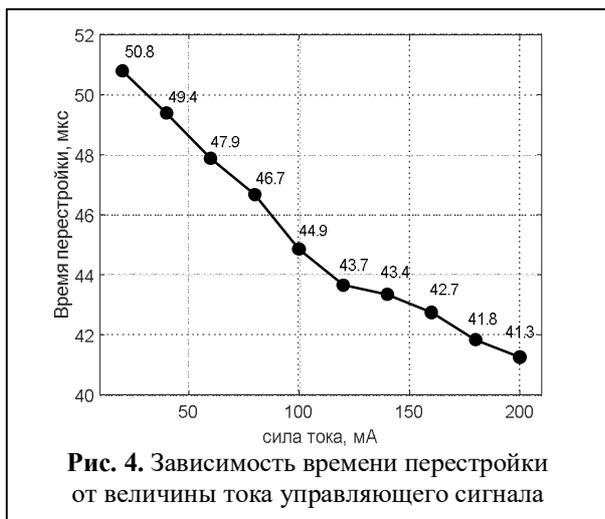


ка синтезатора с повышенной скоростью перестройки, кривая 2 — переходная характеристика синтезатора на основе ФАПЧ с обычным ФНЧ (с частотой среза 100 кГц). На рис. 3, а приведены результаты моделирования, при которых с помощью дополнительной системы накачки заряда СНЗ 2 сила тока $I_{упр}$ в режиме перестройки увеличивается в $k_1 = 20$ раз, при этом номиналы дополнительных резисторов в соответствии с (1) составляют $R1 = 576$ Ом, $R3 = 7444$ Ом. На рис. 3, б приведены результаты моделирования, при которых с помощью дополнительной системы накачки заряда СНЗ 2 сила тока $I_{упр}$ в режиме перестройки

увеличивается в $k_1 = 200$ раз, при этом номиналы дополнительных резисторов в соответствии с (1) составляют $R1 = 152$ Ом, $R3 = 1940$ Ом.

По результатам моделирования скорость перестройки с частоты 3000 МГц на частоту 3500 МГц при использовании обычного петлевого ФНЧ составляет порядка 300 мкс. Применение системы повышения скорости перестройки частоты позволяет уменьшить время перестройки до 50,8 мкс (при увеличении тока $I_{упр}$ с 1 мА до 20 мА) и до 41,3 мкс (при увеличении тока $I_{упр}$ с 1 мА до 200 мА). На рис. 4 представлен график зависимости времени пе-





рестройки синтезатора с повышенной скоростью перестройки от тока $I_{упр}$.

На рис. 5 показаны зависимости частот выходного сигнала от времени при перестройке с частоты 3 ГГц на 3,5 ГГц синтезаторов с повышенной скоростью перестройки при использовании в качестве ФНЧ пропорционально-интегрирующего фильтра второго порядка [12] и пропорционально-интегрирующего фильтра третьего порядка, предлагаемого в данной работе. В соответствии с рис. 5 предлагаемое устройство позволяет быстрее на 8–10 мкс достичь заданное значение частоты.

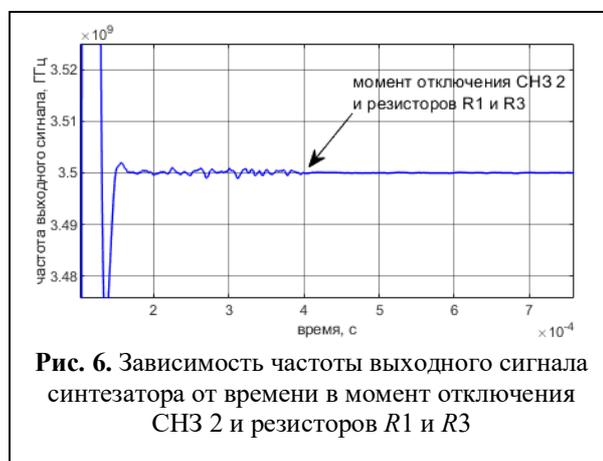
3. Оценка спектральных характеристик выходного сигнала гибридного синтезатора с повышенной скоростью перестройки

Большинство составных блоков синтезаторов косвенного метода синтеза генерируют основной сигнал, в котором присутствуют различные нелинейные искажения. Искажения могут быть вызваны задержками фронтов импульсов в цифровой части ЧФД, токами утечки в СНЗ, кроме того, на выходе ЦАП могут появляться нелинейные искажения, вызванные усечением кода фазы. Данные нелинейные искажения проникают в сигнал, управляющий частотой ГУН, что в итоге приводит к паразитной модуляции выходного сигнала синтезатора и появлению в спектре нежелательных дискретных побочных компонентов. Причём, обычно такие компоненты появляются вблизи несущей. Про-

ведём оценку спектральных характеристик выходного сигнала гибридного синтезатора с повышенной скоростью перестройки

Система ФАПЧ обладает фильтрующими свойствами за счёт использования петлевого ФНЧ. Чем уже полоса пропускания фильтра, тем чище спектр выходного сигнала. Поскольку в установившемся режиме гибридный синтезатор имеет относительно узкую полосу, следовательно его фильтрующие свойства достаточно высокие.

В ходе работы была создана функциональная модель для оценки спектральных характеристик гибридного синтезатора с повышенной скоростью перестройки. В качестве опорного сигнала на вход ЧФД был подан сигнал с высоким апертурным джиттером для визуализации уровня подавления нежелательных спектральных компонентов. На рис. 6 представлена зависимость частоты выходного сигнала от време-



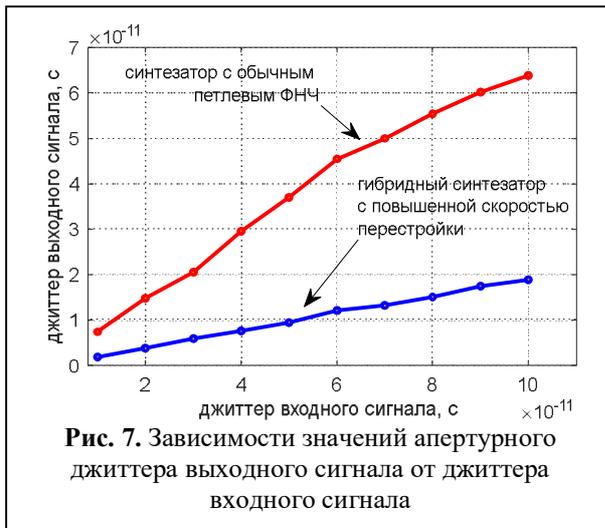


Рис. 7. Зависимости значений апертурного джиттера выходного сигнала от джиттера входного сигнала

ни в момент отключения СНЗ 2 и резисторов R1 и R3. По графику видно, что паразитная девиация частоты при возвращении узкой полосы петлевого ФНЧ уменьшается практически до нуля.

На рис. 7 представлены зависимости значений апертурного джиттера выходного сигнала от джиттера входного сигнала при использовании гибридного синтезатора с повышенной скоростью перестройки и синтезатора с обычным петлевым ФНЧ. В соответствии с рис. 7 оба синтезатора эффективно подавляют джиттер опорного сигнала. При джиттере входного сигнала на частоте 1 МГц, составляющем 10 пс, синтезатор с обычным петлевым ФНЧ формирует сигнал с частотой 3,5 ГГц с джиттером 7,39 пс, а гибридный синтезатор с повышенной скоростью перестройки формирует сигнал с частотой 3,5 ГГц с джиттером 1,88 пс. При джиттере входного сигнала на частоте 1 МГц, составляющем 100 пс, синтезатор с обычным петлевым ФНЧ формирует сигнал с частотой 3,5 ГГц с джиттером 63,9 пс, а гибридный синтезатор с повышенной скоростью перестройки формирует сигнал с частотой 3,5 ГГц с джиттером 18,9 пс. С увеличением джиттера опорного сигнала джиттер выходного сигнала изменяется линейно. При этом синтезатор с обычным петлевым ФНЧ подавляет джиттер опорного сигнала в 1,35–1,57 раза, а гибридный синтезатор с повышенной скоростью — в 5,3 раза.

Проведём оценку степени подавления гибридным синтезатором нелинейных искажений быстродействующего ЦАП, вызванных усечением кода фазы. Усечение кода фазы используется для экономии памяти ПЗУ прямого цифрового формирователя. Значительное усечение кода фазы может привести к возникновению нежелательных ДПСС в выходном сигнале быстродействующего ЦАП.

В [8] предложена математическая модель выходного сигнала быстродействующего ЦАП при усечении кода фазы.

$$SRF_i = \begin{cases} \frac{1}{Q} trunc[s(i \cdot \Delta t)], & 0 \leq i \cdot \Delta t \leq \frac{1}{2f_T}, \\ -\frac{1}{Q} trunc[s(i \cdot \Delta t)], & \frac{1}{2f_T} < i \cdot \Delta t \leq \frac{1}{f_T}. \end{cases} \quad (2)$$

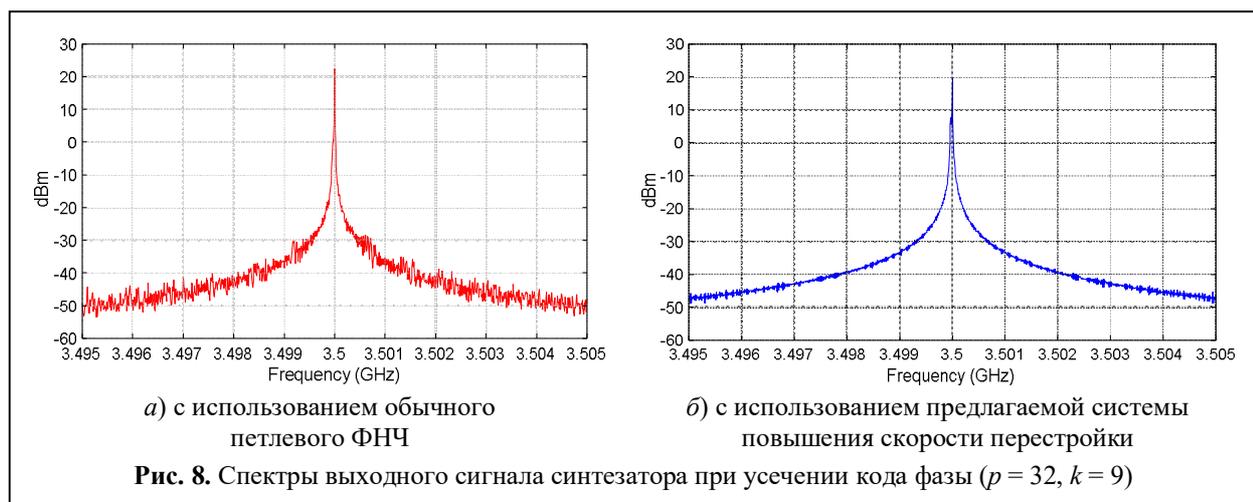
где i — отсчёты времени; Q — число уровней квантования; $trunc(x)$ — операция выделения целой части числа x ; $\Delta t < \frac{1}{4f_T}$ — интервал

дискретизации для моделирования; f_T — тактовая частота ЦАП; $s(i\Delta t)$ — модель выходного сигнала ЦАП в режиме NRZ:

$$s(i\Delta t) = Q \sin \left(2\pi \frac{2^{p-k}}{2^p} trunc \left(\frac{round(2^p \cdot K) i \Delta t}{2^{b-k}} \right) \right);$$

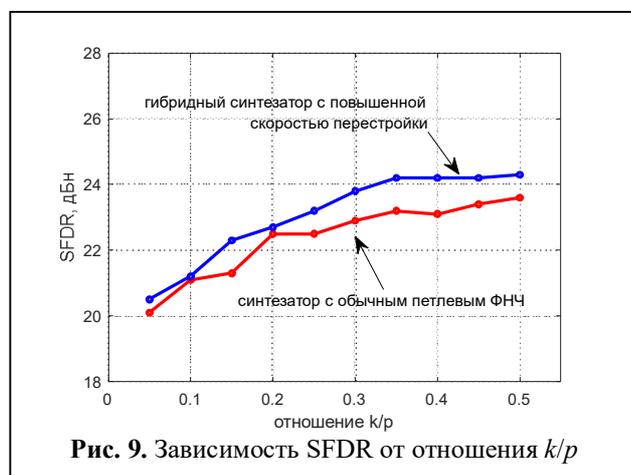
$round(x)$ — оператор округления числа x до ближайшего целого; p — разрядность аккумулятора фазы; k — разрядность ПЗУ преобразователя кода.

На основе данной математической модели была разработана функциональная модель для оценки степени подавления нелинейных искажений быстродействующего ЦАП, вызванных усечением кода фазы. На рис. 8 представлены спектры выходного сигнала гибридного синтезатора вблизи несущей при относительно большом усечении кода фазы ($p = 32, k = 9$) для гибридного синтезатора без использования системы повышения скорости перестройки (а) и с использованием предлагаемой системы (б). Синтезаторы, построенные на основе косвенного метода синтеза, достаточно эффективно фильтруют различные нежелательные ДПСС



на больших отстройках от несущей, однако в непосредственной близости к несущей (особенно в полосе пропускания петлевого ФНЧ) нежелательные ДПСС могут проникать в спектр. По рис. 8 можно определить, что усечение кода фазы приводит к возникновению в спектре вблизи несущей нежелательных ДПСС. При этом, визуально видно, что предлагаемая система повышения скорости перестройки позволяет эффективнее фильтровать нежелательные ДПСС вблизи несущей, в результате спектр выходного сигнала становится чище.

Уровень нежелательных ДПСС оценивается параметром SFDR (Spurious Frequency Dynamic Range) — выраженное в дБн отношение мощности несущей к мощности максимального нежелательного спектрального компонента. На рис. 9 представлены результаты сравнения SFDR в полосе вблизи несущей (10 МГц) из-за



усечения кода фазы в зависимости от отношения k/p при использовании гибридного синтезатора с повышенной скоростью перестройки и синтезатора с обычным петлевым ФНЧ.

На рис. 9 видно, что SFDR увеличивается на 3–4 дБ с увеличением отношения k/p (то есть с уменьшением усечения кода фазы). При этом предлагаемый гибридный синтезатор имеет выигрыш до 1 дБ перед синтезатором с обычным петлевым ФНЧ по уровню SFDR за счёт узкой полосы пропускания петлевого ФНЧ в установившемся режиме.

Заключение

В данной работе представлена структурная схема и описан принцип работы гибридного синтезатора частот на основе прямого цифрового и косвенного методов синтеза с повышенной скоростью перестройки по частоте. Повышение скорости перестройки достигается за счёт применения дополнительной системы накачки заряда и дополнительных элементов петлевого ФНЧ. Принцип работы основан на резком, кратковременном расширении полосы пропускания петли ФНЧ в момент перестройки частоты. В работе получены следующие конкретные результаты.

1. Достигнуто повышение скорости перестройки частоты в 6–7 раз по сравнению с синтезаторами с обычным петлевым ФНЧ. Функциональное моделирование показало, что при перестройке с 3,0 ГГц на 3,5 ГГц применение

предложенной системы сократило время перестройки с 300 мкс до 50,8 мкс (при увеличении тока $I_{упр}$ в 20 раз) и до 41,3 мкс (при увеличении тока $I_{упр}$ в 200 раз).

2. Фильтр третьего порядка обеспечил выигрыш по времени перестройки в 8–10 мкс по сравнению с классическим фильтром второго порядка, предложенным в других работах.

3. Показано, что применение предлагаемой системы с возвратом петлевого ФНЧ в узкополосный режим после быстрой перестройки обеспечивает хорошие спектральные характеристики выходного сигнала синтезатора.

4. Подавление джиттера опорного сигнала в предлагаемом синтезаторе происходит в 5,3 раза эффективнее, чем в синтезаторе с обычным ФНЧ. Например, при джиттере опорного сигнала 100 пс джиттер выходного сигнала с частотой 3,5 ГГц составил 18,9 пс против 63,9 пс у системы ФАПЧ с обычным петлевым ФНЧ.

5. Предлагаемый синтезатор обеспечивает хорошую фильтрацию нежелательных дискретных спектральных составляющих (ДПСС), вызванных нелинейными искажениями составных блоков. Например, при наличии нелинейных искажений выходного сигнала быстродействующего ЦАП, вызванных усечением кода фазы, предлагаемый гибридный синтезатор имеет выигрыш перед синтезатором с обычным петлевым ФНЧ по уровню SFDR за счёт узкой полосы пропускания петлевого ФНЧ в установившемся режиме.

Литература

1. Jiang S., Zhang Y., Xu J. Study on spurious suppression behavior of Fractional-N and DDS based PLL synthesizers with fine frequency resolution // 2023 International Conference on Microwave and Millimeter Wave Technology (ICMMT). Qingdao, China. 14-17 May 2023. DOI: 10.1109/ICMMT58241.2023.10277622
2. Zhang A., Xu J., Wang W., Yu P. A V Band Wideband Frequency Synthesizer Based on Hybrid Scheme of DDS and PLL // 2022 International Conference on Microwave and Millimeter Wave Technology (ICMMT). Harbin, China. 12-15 August 2022. DOI: 10.1109/ICMMT55580.2022.10023348.
3. Ромашов В.В., Ромашова Л.В., Якименко К.А. Исследование шумовых характеристик гибридного синтезатора частот на основе цифрового вычислительного синтезатора и двухкольцевой ИФАПЧ // Методы и устройства передачи и обработки информации. 2014. №16. С. 18–24.
4. Ромашов В.В., Якименко К.А., Докторов А.Н., Ромашова Л.В. Экспериментальное исследование шумовых характеристик гибридных синтезаторов частот на основе прямого цифрового и косвенного методов синтеза // Вестник Поволжского государственного технологического университета. Серия: Радиотехнические и инфокоммуникационные системы. 2017. № 1 (33). С. 6–17.
5. Ромашов В.В., Якименко К.А. Программный комплекс для проектирования гибридных синтезаторов частот и моделирования их шумовых характеристик // Радиотехнические и телекоммуникационные системы. 2018. № 1 (29). С. 36–44.
6. Ромашов В.В., Храмов К.К., Докторов А.Н., Якименко К.А., Сочнева Н.А. Повышение эффективности использования высших зон Найквиста при прямом цифровом синтезе высокочастотных сигналов // Радиотехника. 2022. Т. 86. № 5. С. 135–144.
7. Якименко К.А., Ромашов В.В., Храмов К.К., Докторов А.Н., Сочнева Н.А. Исследование шумовых характеристик синтезаторов частот на основе быстродействующих цифро-аналоговых преобразователей // Радиотехника. 2023. Т. 87. №11. С. 180–191.
8. Якименко К.А., Ромашов В.В., Храмов К.К., Докторов А.Н., Сочнева Н.А. Влияние фазового шума и нелинейных искажений быстродействующих цифро-аналоговых преобразователей на параметры цифровых систем связи // Радиотехника. 2024. Т. 88. №6. С. 137–148.
9. Yuan W. Design and Implementation of an Ultra-Wideband Compact Fast Frequency Hopping Source // 2025 International Conference on Microwave and Millimeter Wave Technology (ICMMT). 2025. DOI: 10.1109/ICMMT65948.2025.11187717.
10. Yang S. et al. A 600- μm^2 Ring-VCO-Based Hybrid PLL Using a 30- μW Charge-Sharing Integrator in 28-nm CMOS // IEEE Transactions on Circuits and Systems II: Express Briefs. 2021. Vol. 68. Iss. 9. Pp. 3108–3112. DOI 10.1109/TCSII.2021.3096193.
11. Koo B.; Do S. et al. A 12-bit 16GS/s Single-Channel RF-DAC with Hybrid Segmentation for Digital Back-Off and Code-Dependent Free Switch Driver Achieving -85dBc IMD3 in 5nm FinFET // 2024 IEEE Symposium on VLSI Technology and Circuits. DOI 10.1109/VLSITechnologyandCir46783.2024.10631542
12. Ge W., et al. A High-Speed and Low-Noise Charge Pump for PLL. 2023 5th International Conference on Circuits and Systems (ICCS). DOI 10.1109/ICCS59502.2023.10367262.
13. Zhou S. Fast locking Sampling PLL Using

Phase Error Eliminator. 2023 IEEE 15th International Conference on ASIC (ASICON). DOI 10.1109/ASICON58565.2023.10395954.

14. Zahir Z., Banerjee G. A 0.9–5.4 GHz wide-band fast settling frequency synthesizer for 5G based consumer services // Analog Integrated Circuits and Signal Processing. 2018. DOI: 10.1007/s10470-018-

1312-4.

15. Пат. РФ №225423. Гибридный синтезатор частот на основе быстродействующего цифроаналогового преобразователя с высокой скоростью перестройки / Якименко К.А. Заявл. 04.02.2024, опубл. 23.04.2024.

Поступила 10 сентября 2025 г.

English

FAST SETTLING HYBRID FREQUENCY SYNTHESIZER

Kirill Aleksandrovich Yakimenko — PhD. in Engineering, Associate Professor, Department of Radio Engineering, Murom Institute (branch) of the “Vladimir State University named after Alexander and Nikolay Stoletovs”.

E-mail: yakimenko.kirill@yandex.ru

Vladimir Viktorovich Romashov — Grand Dr. in Engineering, Professor, The Head of Department of Radio Engineering, Murom Institute (branch) of the “Vladimir State University named after Alexander and Nikolay Stoletovs”.

Irina Aleksandrovna Berkut — Master's Student, Department of Radio Engineering, Murom Institute (branch) of the “Vladimir State University named after Alexander and Nikolay Stoletovs”.

Darya Maksimovna Berezina — Master's Student, Department of Radio Engineering, Murom Institute (branch) of the “Vladimir State University named after Alexander and Nikolay Stoletovs”.

Address: 602264, Russian Federation, Vladimir region, Murom, Orlovskaya str., 23.

Abstract: This paper presents a hybrid synthesizer based on a high-speed digital-to-analog converter (DAC) and a phase-locked loop (PLL) system with enhanced frequency switching speed. The switching speed is increased through the use of a special system, the operating principle of which involves changing the parameters of the low-pass loop filter (LPF) during the frequency switching mode. The proposed solution allows the switching time to be reduced by a factor of 6–7 compared to the switching time of a PLL-based synthesizer with a conventional loop LPF. The performed evaluation of spectral characteristics showed that the proposed synthesizer provides low output signal jitter (5 times lower than the jitter of a synthesizer with a conventional loop LPF) and effective filtering of unwanted discrete spurious spectral components near the carrier. It is shown that using the proposed system, which returns the loop LPF to narrow-band mode after fast frequency switching, ensures good spectral characteristics of the synthesizer's output signal. Suppression of reference signal jitter in the proposed synthesizer is 5.3 times more effective than in a synthesizer with a conventional LPF. For example, with a reference signal jitter of 100 ps, the output signal jitter at 3.5 GHz was 18.9 ps compared to 63.9 ps for a PLL system with a conventional loop LPF. The proposed synthesizer provides good filtering of unwanted discrete spectral components (spurs), caused by nonlinear distortions of the constituent blocks. For example, in the presence of nonlinear distortions in the high-speed DAC output signal caused by phase code truncation, the proposed hybrid synthesizer has an advantage over a synthesizer with a conventional loop LPF in terms of SFDR level due to the narrow bandwidth of the loop LPF in steady-state operation.

Keywords: hybrid synthesis method, fast digital-to-analog converter, DAC, phase-locked loop, PLL, jitter.

References

1. Jiang S., Zhang Y., Xu J. Study on spurious suppression behavior of Fractional-N and DDS based PLL synthesizers with fine frequency resolution. 2023 International Conference on Microwave and Millimeter Wave Technology (ICMMT). Qingdao, China. 14-17 May 2023. DOI: 10.1109/ICMMT58241.2023.10277622
2. Zhang A., Xu J., Wang W., Yu P. A V Band Wideband Frequency Synthesizer Based on Hybrid Scheme of DDS and PLL. 2022 International Conference on Microwave and Millimeter Wave Technology (ICMMT). Harbin, China. 12-15 August 2022. DOI: 10.1109/ICMMT55580.2022.10023348.
4. Romashov V.V., Romashova L.V., Yakimenko K.A. Study of noise characteristics of a hybrid frequency synthesizer based on a direct digital synthesizer and a dual-loop PLL. *Metody i ustroystva peredachi i obrabotki informatsii*. 2014. No. 16. Pp. 18–24.

3. Romashov V.V., Yakimenko K.A., Doktorov A.N., Romashova L.V. Experimental research on noise characteristics of hybrid frequency synthesizers based on the direct digital and the indirect synthesis. Vestnik Povolzhskogo gosudarstvennogo tekhnologicheskogo universiteta. Seriya: Radiotekhnicheskie i infokommunikatsionnye sistemy. 2017. No. 1 (33). Pp. 6–17.
4. Romashov V.V., Yakimenko K.A. The software package for designing hybrid frequency synthesizers and their noise properties simulation. Radio engineering and telecommunication systems. 2018. No. 1 (29). Pp. 36–44.
5. Romashov V.V., Khramov K.K., Doktorov A.N., Yakimenko K.A., Sochneva N.A. Improving the efficiency of the use of higher Nyquist zones in direct digital synthesis of high-frequency signals. Radiotekhnika. 2022. Vol. 86. No. 5. Pp. 135–144.
6. Yakimenko K.A., Romashov V.V., Khramov K.K., Doktorov A.N., Sochneva N.A. The research of phase noise of frequency synthesizers based on high-speed direct-to-analog converters. Radiotekhnika. 2023. Vol. 87. No. 11. Pp. 180–191.
7. Yakimenko K.A., Romashov V.V., Khramov K.K., Doktorov A.N., Sochneva N.A. The influence of phase noise and nonlinear distortions of high-speed digital-to-analog converters on the parameters of digital communication systems. Radiotekhnika. 2024. Vol. 88. No. 6. Pp. 137–148.
8. Yuan W. Design and Implementation of an Ultra-Wideband Compact Fast Frequency Hopping Source. 2025 International Conference on Microwave and Millimeter Wave Technology (ICMMT). 2025. DOI: 10.1109/ICMMT65948.2025.11187717.
9. Yang S. et al. A 600- μm^2 Ring-VCO-Based Hybrid PLL Using a 30- μW Charge-Sharing Integrator in 28-nm CMOS. IEEE Transactions on Circuits and Systems II: Express Briefs. 2021. Vol. 68. Iss. 9. Pp. 3108–3112. DOI 10.1109/TCSII.2021.3096193.
10. Koo B.; Do S. et al. A 12-bit 16GS/s Single-Channel RF-DAC with Hybrid Segmentation for Digital Back-Off and Code-Dependent Free Switch Driver Achieving -85dBc IMD3 in 5nm FinFET. 2024 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits). DOI 10.1109/VLSI TechnologyandCir46783.2024.10631542.
11. Ge W., et al. A High-Speed and Low-Noise Charge Pump for PLL. 2023 5th International Conference on Circuits and Systems (ICCS). DOI 10.1109/ICCS59502.2023.10367262.
12. Zhou S. Fast locking Sampling PLL Using Phase Error Eliminator. 2023 IEEE 15th International Conference on ASIC (ASICON). DOI 10.1109/ASICON58565.2023.10395954.
13. Zahir Z., Banerjee G. A 0.9–5.4 GHz wideband fast settling frequency synthesizer for 5G based consumer services. Analog Integrated Circuits and Signal Processing. 2018. DOI: 10.1007/s10470-018-1312-4.
14. Pat. RU No. 225423. Hybrid frequency synthesizer based on a fast digital-to-analog converter with high tuning speed. Yakimenko K.A. Appl. 04.02.2024, publ. 23.04.2024.