

УДК 004.383.8.032.26

ОСОБЕННОСТИ ОБЕСПЕЧЕНИЯ ОТКАЗОУСТОЙЧИВОСТИ НЕЙРОННЫХ СЕТЕЙ НА БАЗЕ МЕМРИСТОРОВ НА СХЕМОТЕХНИЧЕСКОМ СТРУКТУРНО-ФУНКЦИОНАЛЬНОМ УРОВНЕ**Данилин Сергей Николаевич**

кандидат технических наук, доцент, доцент кафедры «Программная инженерия» Муромского института (филиала) ФГБОУ ВО «Владимирский государственный университет имени А.Г. и Н.Г. Столетовых».
E-mail: dsn-55@mail.ru.

Зуев Антон Дмитриевич

инженер кафедры «Программная инженерия» Муромского института (филиала) ФГБОУ ВО «Владимирский государственный университет имени А.Г. и Н.Г. Столетовых».
E-mail: ad-nemo@mail.ru.

Адрес: 602264, Российская Федерация, г. Муром, ул. Орловская, д. 23.

Аннотация: Статья посвящена проблеме обеспечения высокой отказоустойчивости (ОУ) искусственных нейронных сетей (ИНС), аппаратно реализуемых на основе массивов мемристоров (ИНСМ). Основной задачей, в рамках названной проблемы, является сохранение заданной отказоустойчивости и точности функционирования ИНСМ при переходе от компьютерных моделей к реальным устройствам из-за влияния дополнительных внешних и внутренних деструктивных факторов. Рассмотрены известные решения задачи, их слабые и сильные стороны. Предложена авторская схемотехническая реализация отказоустойчивой ИНСМ, обученной распознаванию и нелинейной классификации нескольких типов биологических сигналов. ИНСМ имеет архитектуру многослойного перцептрона, который аппаратно реализуется с применением российских пассивных матриц металл-оксидных мемристоров с топологией «кросс-бар».

Ключевые слова: мемристоры, нейрочипы, искусственные нейронные сети, инженерное проектирование, имитационное моделирование, отказоустойчивость, точность.

Введение

В настоящее время ведущие российские и зарубежные разработчики и производители вычислительных средств проводят масштабные работы в области создания искусственных когнитивных систем, которые необходимы для реализации нейроморфных устройств гражданского, производственного и оборонного назначения [1–3].

Отмеченное явление связано с их потенциальными преимуществами по точности, отказоустойчивости, быстродействию, надёжности, энергозатратам, перед информационными системами с последовательными технологиями обработки информации [4]. Однако, достигнутое на этапе компьютерного моделирования номинальное качество работы искусственных нейронных сетей (ИНС), значительно снижается при их технической реализации. Причина этого явления заключается в неизбежном влиянии внутренних и внешних физических и ин-

формационных дестабилизирующих работу ИНС факторов, а также производственных и эксплуатационных погрешностях значений параметров элементов платформы их реализации [5, 6].

Наиболее перспективной архитектурой искусственных когнитивных систем различного назначения является нейросетевая архитектура с элементной базой на основе современных наномемристоров (ИНСМ) [7, 8]. Одним из основных направлений научно-исследовательских работ в области создания ИНСМ является поиск схемотехнических, конструкторских и технологических решений, позволяющих приблизить их основные параметры и характеристики к потенциально достижимым значениям.

Данную статью авторы посвящают теории автоматизированного проектирования ИНСМ с заданной отказоустойчивостью и точностью на схемотехническом [9] структурно-

функциональном иерархическом уровне декомпозиции. На первый взгляд, при нынешнем уровне развития микроэлектроники и схемотехники, сертифицированных пакетов САПР для схемотехнического проектирования, технологий физических реализаций чипов, названная задача должна быть инженерного уровня сложности, но все оказывается далеко не так. Достаточное для практики решение задачи является проблемой сложной, многогранной, с возрастающей размерностью при масштабировании вычислительных структур, решается медленно и фрагментарно, требуя привлечения дополнительных информационных, методических, математических, алгоритмических, программных и технических ресурсов при выполнении заданных функций.

В работах [3, 5, 10, 11] авторами показаны причины возникновения указанной выше проблемы:

- неформализуемость ИНС и выполняемых ими функций, их многомерность, нелинейность, вероятностный и динамический характер всех внутренних и внешних явлений и процессов, как полезных для выполнения заданных функций, так и вносящих погрешности в результаты работы;

- наличие у современных мемристоров неизвестных или недостаточно изученных электрофизических свойств;

- нерешённость ряда научно-практических задач теории ИНСМ;

- недостаточный уровень технологий производства микросхем на базе наномемристоров;

- недостаточный уровень технологий проектирования, производства и эксплуатации ИНСМ.

На основании выше изложенного, становится более видимой область многосторонних проблем на пути оптимальной схемотехнической реализации ИНСМ.

1. Описание метода проектирования ИНСМ

На основе проведённых исследований авторы статьи разработали и применили общий под-

ход к инженерному проектированию, производству, исследованию и эксплуатации ИНСМ (в том числе всех составных частей) основанный на теории системного анализа [12], имитационного моделирования [13], планирования экспериментов, общей теории ИНС [10], позволяющий последовательно решать имеющийся комплекс проблем [14, 15].

На основе общего подхода с системной точки зрения сформулировано уточнённое определение ОУ как «свойство мемристоров, нейронов и ИНС на их основе сохранять на всех этапах работы качество (точность) функциональных параметров в пределах допустимых значений (допусков) при любых вариациях параметров элементов, сигналов, входной информации, математического, алгоритмического и программного обеспечения при воздействии внутренних и (или) внешних физических и (или) информационных факторов».

1.1 Активная и пассивная ОУ ИНСМ

Отказоустойчивость ИНСМ можно классифицировать на пассивную и активную [5] в зависимости от общего подхода, методов и алгоритмов, с помощью которых она достигается в системе.

Система с пассивной отказоустойчивостью не реагирует каким-либо особым образом на появление отказов элементов и структур, а использует встроенную избыточность для компенсации их влияния на качество функционирования, например, по мажоритарному методу.

В пассивном подходе определены три основные категории, которые объединяют методы для повышения внутренних возможностей отказоустойчивости ИНСМ: а) внесение физической или информационной избыточности; б) применение алгоритмов отказоустойчивого обучения; в) оптимизация параметров качества по имеющимся ограничениям на проектирование.

В пассивной отказоустойчивой системе для штатного функционирования не требуется её диагностика, дообучение или перенастройка.

Система с активной отказоустойчивостью обнаруживает возникающие отказы и управляет своими избыточными ресурсами для компенсации последствий отказов элементов и структур посредством механизмов адаптации, дообучения, перераспределения задач между компонентами или изменения своей структуры.

Активная отказоустойчивость ИНСМ требует для реализации специальных компонентов обнаружения и локализации отказов, контроля, управления, проектирование и применение которых может оказаться довольно сложным и дорогостоящим.

При активном подходе труднее достичь той же степени отказоустойчивости, что и при пассивном, главным образом потому, что не все сценарии возникновения практических отказов могут быть учтены при проектировании ИНСМ. Кроме того, технические параметры и характеристики компонентов компьютерной модели, в общем случае, значительно отличаются от параметров и характеристик их физических реализаций, особенно в переходных режимах и в процессе эксплуатации.

При гибридном подходе пассивная и активная ОУ могут дополнять друг друга: статическая базовая конфигурация и исходные

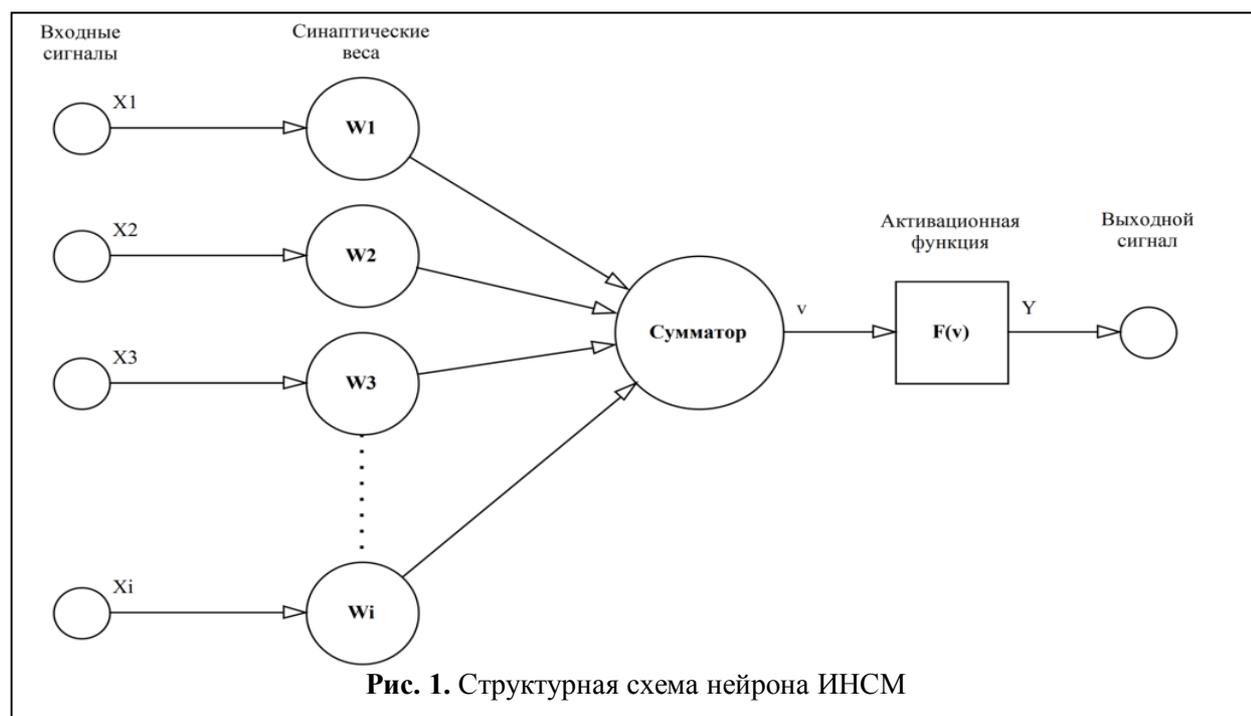
настройки ИНСМ компенсирует одну часть отказов, в то время как диагностические ресурсы системы в режиме реального времени или плановые перерывы в работе обнаруживают и устраняют влияние другой части отказов.

В статье приводится вариант реализации ИНСМ на схемотехническом структурно-функциональном уровне с обеспечением устойчивости к заданному типу отказов на основе гибридного подхода. Влияние неявных параметрических отказов элементов и структур ИНСМ на её параметры компенсирует авторская программа отказоустойчивого обучения и оригинальные схемотехнические решения.

Имеющиеся и возникающие катастрофические отказы элементов нейронов компенсирует система настройки, контроля и управления работой ИНСМ в начале каждого цикла взаимодействия с сигналами биологического объекта.

1.2. Известные схемотехнические реализации ИНСМ

Базовым структурным компонентом ИНС произвольной платформы реализации является нейрон, состоящий из синапсов, сумматора и функции активации (рис. 1). При реализации ИНСМ мемристоры используются для реали-



зации синапсов, а именно для хранения весовых коэффициентов и выполнения функции умножения. Сумматор складывает полученные сигналы и выдаёт результат на функцию активации. В зависимости от типа сети вид (тип) функции активации может меняться. Это может быть линейная, сигмоидная, тангенциальная, радиально-базисная или иная функция. Каждый тип нейрона может иметь много вариантов аппаратной реализации.

Преимущество использования мемристоров заключается в том, что с их помощью может быть задано любое значение веса на заданном диапазоне, т.к. сопротивление мемристора изменяется плавно в заданном диапазоне [16].

Рассмотрим достоинства и недостатки ряда типичных схемотехнических реализаций ИНСМ, приведённых в опубликованных работах наиболее известных научно-производственных коллективов разработчиков, исследователей и производителей.

Авторы работы [17] предложили реализацию синапса нейрона в виде мемристорного моста. Серьёзным недостатком такого решения является повышенные требования к точности параметров мемристоров, превышающие их технологический разброс, что приводит к снижению ОУ ИНСМ до уровня практической непригодности. Реализация сумматора удачная. Сигнал с каждого синапса подаётся на отдельный дифференциальный усилитель с источником тока. Все усилители работают на общую динамическую нагрузку, выполненную в виде токового зеркала, которое по закону Кирхгофа складывает токи всех дифференциальных усилителей. В схеме используется линейная функция активации, реализованная преобразованием суммарного тока в напряжение на резистивной нагрузке.

Парное соединение мемристоров, реализованное авторами работы [18], является удачной альтернативой выполнения синапса по мостовой схеме. На один мемристор поступает прямой, на другой – инвертированный сигнал. Такое решение позволяет формировать биполярные весовые связи. ИНСМ строится на основе

матрицы типа «кросс-пойнт», на который реализованы синапсы. Сумматор реализован по схеме инвертирующего усилителя, на входе которого подключены синапсы. Функция активации выполнена на базе ОУ, формирующего заданную передаточную функцию нейрона. Основное преимущество перед мостовой схемой – это на порядок более низкие требования к точности параметров и характеристик мемристоров для обеспечения номинального и отказоустойчивого режима работы ИНСМ.

По мере совершенствования технологии производства мемристоров стало возможным изготовление мемристорных матриц типа «кросс-бар», с большей плотностью, мемристоров в чипе, что позволяет создавать более масштабные структуры ИНСМ. Для их эффективного использования возникла необходимость в новых схемотехнических решениях.

В работе [19] нейроны выполнены на базе традиционных КМОП-компонентов, размещённых в одном чипе с мемристорными матрицами. Схема реализации нейрона включает в себя три уровня, которые построены на операционных усилителях. Первый уровень представлен сумматором, выполненным на инвертирующем усилителе для поддержания виртуального нуля на строке матрицы, а взвешенная сумма входных напряжений является его выходом. Второй уровень реализует тангенциальную функцию активации на базе дифференциального усилителя, вычисляющего разницу между взвешенными напряжениями смежных строк, переходящего в насыщение и способного уходить в состояние насыщения при поступлении входных токов, превышающих пороговое значение. На третьем уровне происходит масштабирование сигнала. Преимуществом перед реализацией ИНСМ на мемристорных матрицах типа «кросс-пойнт» является в несколько раз меньшее число элементов коммутации при равном числе мемристоров. Принципиальным недостатком является присутствие паразитных токов в элементах в ИНСМ, снижающее точность, отказоустойчивость и надёжность её функционирования.

В настоящее время разработано несколько конструктивных типов наномемристов, на которых возможна реализация ИНСМ [20]: одиночные, парные мемристоры и мемристор-ные матрицы. Одиночные мемристоры удобны для исследования их электрофизических свойств, однако строить ИНС даже средних размеров (сотни мемристоров) на них нецелесообразно. Возникают конструктивные сложности, которые обусловлены необходимостью применения элементов коммутации отдельных синапсов, появлением помех в длинных соединительных линиях и рядом других деструктивных факторов. По этой причине для построения ИНСМ, решающей практическую задачу, следует использовать мемристорные матрицы, реализованные на чипе.

Мемристоривные матрицы можно разделить на два типа: активные [21] и пассивные [22]. Пассивные матрицы представляют из себя массив мемристоров, где каждый мемристор подключен к двум общим электродам строки и столбца. Отличие активных матриц заключается в том, что подключение каждого мемристора к одному из электродов осуществляется через активный элемент, как правило, полевой транзистор. Во всех мемристорных матрицах

существует мощный дестабилизирующий штатную работу фактор – паразитные обводные токи, изменяющие электрофизическое и информационное состояние многих мемристоров [23]. В активных матрицах для этой проблемы есть решение в виде выборочной активации (включения) мемристора. Однако, такие матрицы сложнее технологически и их плотность размещения на чипе в несколько раз меньше пассивных при равном числе мемристоров. В пассивной матрице для устранения влияния обводных токов на состояние мемристоров в процессе их программирования, эффективным средством является подача по заданному алгоритму на столбцы и строки внешнего напряжения смещения.

2. Авторская схемотехническая реализация ИНСМ

В данной работе синтезирована компьютерная модель ИНСМ распознавания 4-х типов тестовых сигналов. Модель ИНСМ имеет архитектуру многослойного персептрона (МСП).

Модель ИНСМ реализована на базе пассивных мемристоривных матриц с топологией «кросс-бар», структурная схема которых представлена на рис. 2.

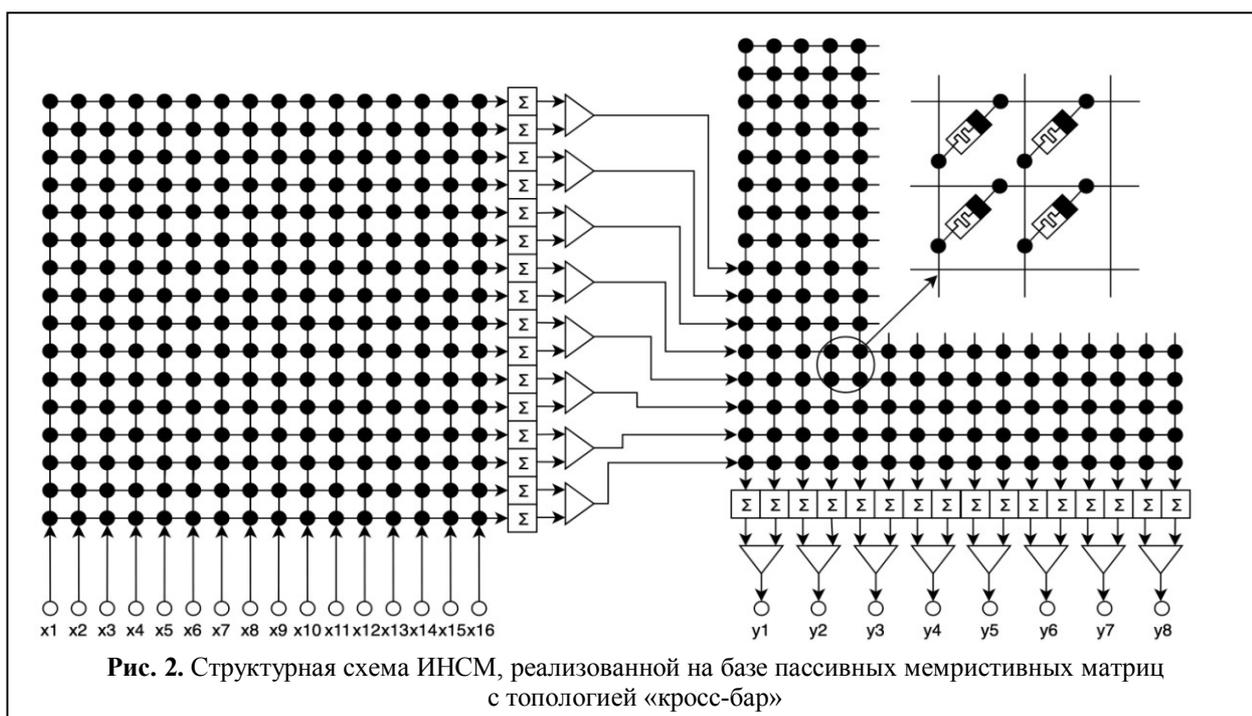


Рис. 2. Структурная схема ИНСМ, реализованной на базе пассивных мемристоривных матриц с топологией «кросс-бар»

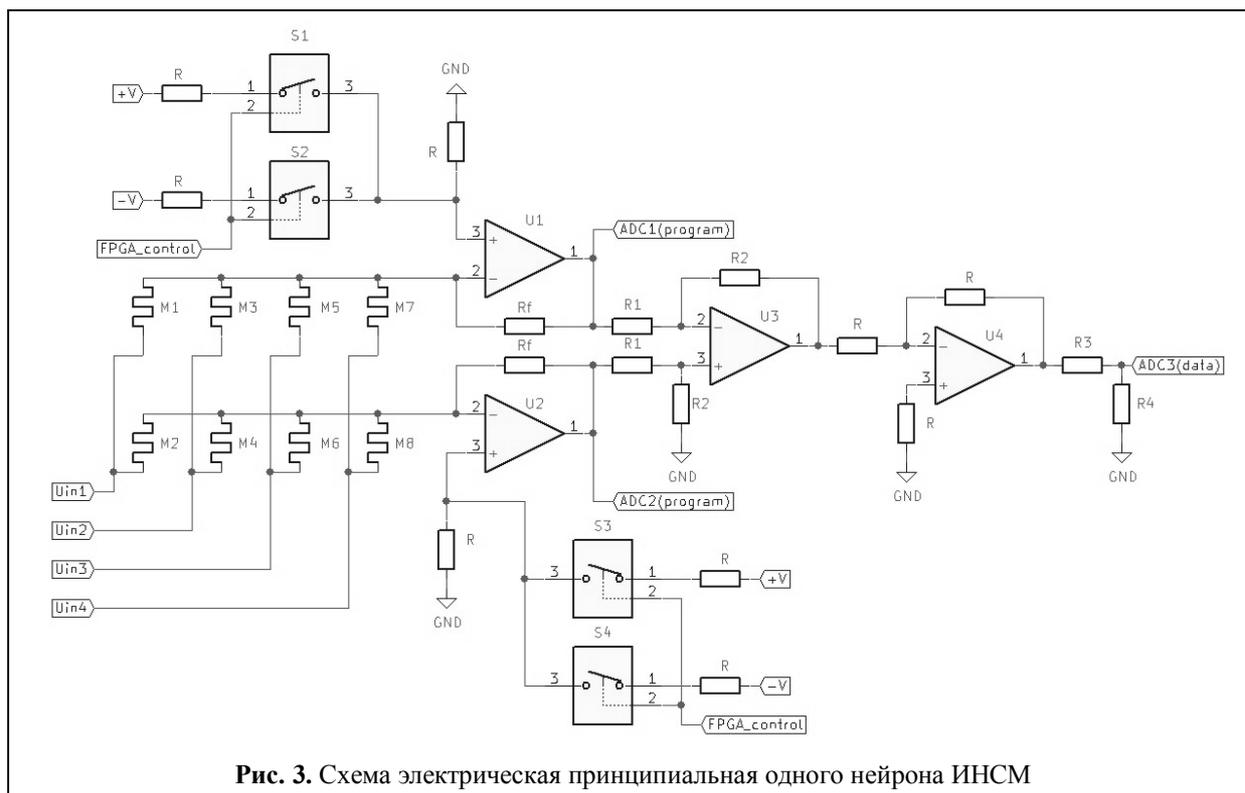


Рис. 3. Схема электрическая принципиальная одного нейрона ИНСМ

Сигналы (напряжение) подаются на входные нейроны $x_1 \dots x_{16}$. Синапсы нейронов скрытого слоя реализованы на базе первой мемристорной матрицы (слева). Сигналы с их выходов складываются на сумматорах, относящихся к соответствующим нейронам, а затем проходят через функции активации. Нейроны выходного слоя реализованы на второй матрице (справа) с использованием аналогичных сумматоров и функций активации. Т.к. в скрытом слое содержится 8 нейронов, а в выходном 4, то для реализации синапсов выходных нейронов задействована не вся матрица, а только участок 8×8 . Выходные сигналы снимаются с выходов функций активации $y_1 \dots y_4$.

Рассмотрим схему электрическую принципиальную одного нейрона ИНСМ (рис. 3).

Умножение входной информации на весовой коэффициент выполняется через преобразование напряжения входного сигнала в ток, мемристор в этом случае выступает в качестве источника тока. В соответствии с законом Ома ток, протекающий через мемристор, будет линейно зависеть от входного напряжения:

$$I_{IN} = U_{IN} / R_M,$$

где U_{IN} – напряжение входного сигнала; R_M – сопротивление мемристора.

Коэффициент преобразования равен $1 / R_M$.

Все мемристоры в строке матрицы подключены к одному операционному усилителю в инвертирующем включении (U_1, U_2), который выполняет функцию сумматора за счёт сложения токов на инвертирующем входе по правилу Кирхгофа. Суммарный ток всех мемристоров равен:

$$I_{SUM} = \sum I_k.$$

Такое решение удобно тем, что за счёт отрицательной обратной связи на инвертирующем входе, к которому подключены мемристоры, можно получить не только виртуальный ноль, но и разные напряжения смещения, подав соответствующий уровень на неинвертирующий вход. Указанное решение позволяет управлять параметрами нейронов в автоматизированном режиме, как при начальной настройке, так и при дообучении при штатном функционировании. Суммарный ток всех мемристоров и, соответственно, ток каждого отдельного элемента преобразуется в выходное напряжение сумматора с коэффициентом,

равным сопротивлению обратной связи (с изменением знака)

$$U_{SYN} = -I_{IN} \cdot R_F,$$

где R_F – сопротивление обратной связи операционного усилителя.

Таким образом, итоговый коэффициент преобразования входного сигнала будет определяться как:

$$K = U_{SYN} / U_{IN} = (-I_{IN} \cdot R_F) / (R_M \cdot I_{IN}) = -R_F / R_M.$$

С помощью одного мемристора можно получить только однополярные значения весов, отличные от нуля, что является серьёзным ограничением для реализации компьютерной модели, поэтому в данной работе каждый синапс реализован с помощью пары мемристоров, расположенных в смежных строках и относящихся к одному столбцу (входу информации). Таким образом, все мемристоры в заданной паре строк относятся к синапсам одного нейрона. Для получения биполярных значений коэффициентов выполняется дифференцирование выходных напряжений сумматоров. Для этого используется стандартный дифференциальный усилитель (U3). Значение веса определяется как разница коэффициентов преобразования напряжении, поступающих на вход этого усилителя:

$$W = K_2 - K_1 = R_F / R_{M1} - R_F / R_{M2} = R_F (R_{M2} - R_{M1}) / (R_{M1} \cdot R_{M2}),$$

где R_{M1} – сопротивление мемристора, относящегося к строке, сумматор которой подключен к инвертирующему входу дифференциального усилителя; R_{M2} – сопротивление мемристора, относящегося к строке, сумматор которой подключен к неинвертирующему входу дифференциального усилителя.

Коэффициент усиления при этом является масштабирующим коэффициентом веса синапса, который можно изменять путём изменения номиналов резисторов. Он определяется как:

$$K_{DIFF} = R_2 / R_1.$$

В качестве функции активации используется линейная функция с насыщением. Она достаточно просто реализуется и может заменить сигмоидальную функцию, которая применяется

при компьютерной симуляции, с незначительной потерей точности и поддержанием ОУ нейрона и ИНСМ на заданном уровне. В схеме функция активации представляет собой инвертирующий усилитель (U4), коэффициент усиления которого характеризует тангенс угла наклона функции на линейном участке. Напряжения насыщения усилителя характеризуют уровни насыщения функции.

Для подачи сигналов на следующий слой сети необходимо выполнить масштабирование сигналов. При отсутствии высоких требований к быстродействию (что имеет место в реализуемой задаче) масштабирование можно выполнить на обычном резистивном делителе, рассчитанном таким образом, чтобы коэффициент масштабирования был равен отношению максимального выходного напряжения слоя сети к максимальному входному напряжению следующего слоя:

$$K_{SCALE} = U_{OUT,MAX} / U_{IN,MAX} = R_4 / (R_3 + R_4).$$

Следует учитывать, что тангенс угла наклона функции активации изменяется пропорционально коэффициенту масштабирования.

Необходимость ограничения напряжений входных сигналов связана с тем, что мемристоры имеют определённое напряжение, сигналы с амплитудой ниже которого (независимо от знака) не меняют их состояние. Для используемой матрицы этот уровень составляет $\pm 1,5$ В. Диапазон входных напряжений для сигналов, представляющих информацию, ограничен до ± 1 В.

Программирование весовых коэффициентов осуществляется путём перевода мемристоров в состояния с заданными значениями сопротивлений. Для этого на мемристор подаётся программирующий импульс с напряжением выше 1,5 В. Чем выше амплитуда импульса тем выше сопротивление элемента. Значение сопротивления будет зависеть от состояния, в котором мемристор находился до подачи импульса, поэтому алгоритм программирования состояния мемристора можно разделить на несколько этапов:

Первый этап. Мемристор переводится в низкоимпедансное состояние (LRS) путём подачи импульса SET с амплитудой -3 В. Для исключения перехода мемристора в состояние с крайне низким сопротивлением (ниже 100 Ом) в режиме SET устанавливается ограничение по току 300 мкА. Сопротивление мемристора менее 100 Ом вызывает возрастание тока, протекающего через него, выше значения, приводящего к потере его работоспособности, а так же катастрофическому отказу ЦАПа, с которого подаются программирующие импульсы и данные.

Устранение паразитных обводных токов. В матрице при подаче импульса SET ток от источника сигнала протекает не только через заданный мемристор, но и через цепочку последовательно соединённых мемристоров, включенную параллельно с заданным мемристором. При этом падение напряжения на отдельных мемристорах может составить более $1,5$ В, что приведёт к изменению их состояния и к функциональным отказам. Для предотвращения этого явления, на все остальные строки матрицы подается напряжение смещения -3 В, а на столбцы $-1,5$ В. Этот метод обеспечения ОУ относится к классу активных и гарантирует, что падение напряжения на любом другом кроме заданного мемристора составит или 0 , или $1,5$ В и их состояние не изменится.

Второй этап. На мемристор подаются программирующие импульсы напряжения RESET с амплитудой более $1,5$ В с заданным шагом изменения амплитуды. После каждого программирующего импульса проводится проверка сопротивления мемристора путем подачи проверочного импульса $0,5$ В (гарантировано не влияющего на его состояние) через считывание выходного напряжения сумматора с помощью АЦП и расчёта сопротивления по формуле:

$$R_M = (U_{TEST} \cdot R_F) / U_{OUT},$$

где U_{TEST} – это амплитуда проверочного импульса; R_F – сопротивление обратной связи сумматора; U_{OUT} – выходное напряжение сумматора.

В случае соответствия сопротивления мемристора полю допуска осуществляется переход к следующему элементу. Если текущее значение сопротивления после проверки превысило допустимое, мемристор снова переводится в LRS и процедура повторяется.

Третий этап. Устранение обводных токов на данном этапе производится путём подачи на оставшиеся строки и столбцы напряжения смещения $1,5$ В. Для того, чтобы гарантировать максимальное падение напряжения на любом другом мемристоре, кроме выбранного, не выше $1,5$ В, вводится ограничение на максимальную амплитуду программирующих импульсов, равное 3 В. Диапазон напряжений программирующих импульсов составляет $[1,5; 3]$ В. Во избежание присутствия на входе сумматора токов других мемристоров при подаче проверочного импульса, остальные столбцы и строки либо коммутируются на землю, либо на них подается нулевое смещение.

На достигнутом к настоящему времени технологическом уровне производства мемристорных матриц часть элементов может «зависнуть» в определённом состоянии, которое не будет меняться при подаче программирующих импульсов. В данной работе матрицы исследовались после изготовления. Если из пары мемристоров, реализующих один синапс, зависит только один элемент, то коэффициент настраивался с помощью программирования сопротивления второго мемристора относительно первого. Если же зависли оба элемента, то высчитывается соотношение их сопротивлений и в дальнейшем учитывается как фиксированное смещение.

Для формирования программирующих импульсов и информационных сигналов с различной амплитудой (и знаком) используются ЦАП с двухполярным питанием. От разрядности ЦАПа зависит точность входной информации и шаг, с которым можно менять амплитуду программирующих импульсов. В цифровом виде информация формируется в ПЛИС, а затем подается на ЦАПы каналов.

Для считывания значений с выходных нейронов в режиме обработки информации, а также для считывания выходного напряжения с каждого сумматора в режиме программирования, используются АЦП с двухполярным питанием. Информация с АЦП передаётся в ПЛИС, где она обрабатывается. Необходимость в АЦП отсутствует на выходе нейронов первого слоя, т.к. обучение выполняется в симуляции и считывать промежуточные значения не требуется.

Технические ограничения, связанные с разрядностью ЦАП и АЦП относятся к 3-й группе пассивных методов обеспечения [5] точности и ОУ ИНСМ. Её необходимое и достаточное значение будет определено на следующем этапе проектирования и реализации ИНСМ. Дополнительные исследования необходимы и для определения технических требований к параметрам операционных усилителей, источников питания и подсистемы управления для обеспечения заданной точности и ОУ ИНСМ.

Рассмотренная технология настройки, контроля, управления сигналами, взаимодействия с электронными ключами, ЦАП и АЦП обеспечения номинального качества работы ИНСМ осуществляется специально спроектированной подсистемой на базе ПЛИС.

Преимущество использования ПЛИС заключается в том, что в отличие микроконтроллера, они позволили построить параллельную систему, в которой подача входных сигналов и считывание значений на всех выходах осуществляется одновременно. Особенно важна одновременная подача программирующих импульсов и напряжений смещений.

Результаты

Разработанный и применяемый авторами общий подход к созданию и эксплуатации ИНСМ позволил:

- сформулировать уточнённое определение ОУ как «свойство мемристоров, нейронов и ИНС на их основе сохранять на всех этапах работы качество (точность) функциональных параметров в пределах допустимых значений

- (допусков) при любых вариациях параметров элементов, сигналов, входной информации, математического, алгоритмического и программного обеспечения при воздействии внутренних и (или) внешних физических и (или) информационных факторов»;

- определить достоинства и недостатки ряда типичных схемотехнических реализаций ИНСМ, приведённых в опубликованных работах наиболее известных научно-производственных коллективов разработчиков, исследователей и производителей;

- подготовить спроектированную ИНСМ нелинейной классификации сигналов для технической реализации с заданным качеством на схемотехническом структурно-функциональном уровне;

- предложить и реализовать комплекс пассивных и активных методов повышения отказоустойчивости на уровнях базы реализации, нейронов и ИНСМ как ИС;

- разработать оригинальный вариант принципиальной схемы многослойного персептрона на базе мемристоров с простой масштабируемостью и возможностью регулировки диапазона весов путём простого изменения сопротивления резисторов. Схемотехническая реализация нейрона отличается от известных решений эффективностью и надёжностью нейтрализации обводных токов в мемристивных матрицах. Кроме того, коммутационные элементы вынесены из цепей, в которые включены мемристормы, что повышает ОУ нейронов.

Все разработанные модели и алгоритмы реализованы в виде программного обеспечения на основе Python.

Авторы продолжают работу по рассмотренной в статье проблеме. Следующим этапом работ является техническая реализация разработанных и исследованных моделей ИНСМ, их изготовление и натурное исследование.

Заключение

Полученные авторами статьи результаты показали перспективность разработанных общего

подхода, методов, алгоритмов, схемотехнических и программных решений для создания и эксплуатации отказоустойчивых ИНС на базе мемристоров, функционирующих с заданной точностью.

Применение на практике авторских разработок позволяет эффективно совершенствовать известные и синтезировать новые технологии пассивного или активного обеспечения отказоустойчивости современных и перспективных ИНСМ.

Работа выполнена при поддержке гранта РФФИ №19-07-01215.

Литература

1. *Mikhaylov A.N., Morozov O.A., Ovchinnikov P.E., Antonov I.N., Belov A.I., Korolev D.S., Sharapov A.N., Gryaznov E.G., Gorshkov O.N., Pigareva Ya.I., Pimashkin A.S., Lobov S.A., Kazantsev V.B.* One-Board Design and Simulation of Double-Layer Perceptron Based on Metal-Oxide Memristive Nanostructures // *IEEE Transactions on Emerging Topics in Computational Intelligence*. 2018. Vol. 2. No. 5. Pp. 371–379.
2. *Nikiriy K.E., Emelyanov A.V., Rylkov V.V., Sitnikov A.V., Demin V.A.* Adaptive Properties of Spiking Neuromorphic Networks with Synapses Based on Memristive Elements // *Technical Physics Letters*. 2019. Vol. 45. Pp. 386–390.
3. *Kataeva I., Ohtsuka S., Nili H., Kim H., Isobe Y., Yako K., Strukov D.* Towards the development of analog neuromorphic chip prototype with 2.4m integrated memristors // *2019 IEEE International Symposium on Circuits and Systems (ISCAS)*. 2019. Pp. 1–51.
4. *Жиганов С.Н., Михеев К.В.* Сравнение двух методов нахождения коэффициентов полиномов Чебышева при аппроксимации тригонометрической функции // *Прикладные вопросы формирования и обработки сигналов в радиолокации, связи и акустике. Сборник тезисов докладов IX научно-практического семинара*. 2018. С. 10–13.
5. *Torres-Huitzil C., Girau B.* Fault and error tolerance in neural networks: A review. // *IEEE Access*. 2017. Vol. 5. Pp. 17322–17341.
6. *Yeung D. S., Cloete I., Shi D., Ng W.W.Y.* Sensitivity Analysis for Neural Networks. Heidelberg: Springer, 2010. 89 p.
7. Новейшие технологии нейроморфных вычислений приведут к развитию искусственного интеллекта // *Экспресс-информация по зарубежной электронной технике. Вып. 23 (6697) от 21 ноября 2019 г.* С. 14–18.
8. *Данилин С.Н., Щаников С.А., Борданов И.А., Зуев А.Д., Пантюхин Д.В., Пантелеев С.В.* Состояние исследований в области инженерного проектирования и производства нейрокомпьютеров // *Алгоритмы, методы и системы обработки данных*. 2019. № 1 (39). С. 14–45.
9. *Данилин С.Н., Щаников С.А., Борданов И.А., Зуев А.Д.* Схемотехнические решения при реализации искусственных нейронных сетей на базе мемристоров // *Нейрокомпьютеры и их применение. XVII Всероссийская научная конференция. Тезисы докладов*. 2019. С. 207–210.
10. *Галушкин А.И.* Нейронные сети: основы теории. М.: Горячая линия-Телеком, 2013. 496 с.
11. *Данилин С.Н., Щаников С.А., Пантелеев С.В., Зуев А.Д.* Особенности электрофизических свойств энергонезависимых наномемристоров // *Нейрокомпьютеры и их применение. XVII Всероссийская научная конференция. Тезисы докладов*. 2019. С. 197–199.
12. *Кулик С.Д.* Элементы системного анализа для студентов старших курсов университета // *Естественные и технические науки*. 2018. № 11 (125). С. 373–377.
13. *Алгазинов Э.К., Сирота А.А.* Анализ и компьютерное моделирование информационных процессов и систем / под общ. ред. А.А. Сироты. М.: Диалог-МИФИ, 2009. 416 с.
14. *Данилин С.Н., Щаников С.А., Борданов И.А., Зуев А.Д., Сакулин А.Е.* Применение имитационного моделирования при инженерном проектировании искусственных нейронных сетей на базе мемристоров / *Информационные системы и технологии – 2019. Сборник материалов XXV Международной научно-технической конференции*. Н. Новгород: Нижегород. гос. техн. ун-т им. Р.Е. Алексеева, 2019. С. 459–467.
15. *Данилин С.Н., Щаников С.А., Зуев А.Д., Борданов И.А., Сакулин А.Е.* Проектирование искусственных нейронных сетей на основе мемристоров с заданной отказоустойчивостью // *Радиотехнические и телекоммуникационные системы*. 2019. № 2 (34). С. 41–50.
16. *Chua, L., Sirakoulis G.* Handbook of Memristor Networks / Springer Nature Switzerland AG 2019 p. 1357.
17. *Adhikari et al.* Memristor Bridge Synapse-Based Neural Network and Its Learning // *IEEE Transactions on neural networks and learning systems*. 2012. Vol. 23. No. 9. Pp. 1426–1435.
18. *Антонов И.Н., Белов А.И., Михайлов А.Н., Морозов О.А., Овчинников П.Е.* Формирование весовых коэффициентов искусственной нейронной сети на основе мемристивного эффекта в наноструктурах «металл–оксид–металл» // *Радиотехника и электроника*. 2018. Т. 63. № 8. С. 880–888.
19. *Merrikh Bayat F., Prezioso M., Chakrabarti B., Kataeva I., Strukov D.* Implementation of Multilayer Perceptron Network with Highly Uniform Passive Memristive Crossbar Circuits // *Nature communications*. 2018. Vol. 9 (1). Pp. 2331.

20. *Strukov D.B., Snider G.S., Stewart D.R., Williams R.S.* The missing memristor found // *Nature*. 2008. Pp. 80–83. DOI:10.1038/nature06932.

21. *Yao P., Wu H., Gao B., Eryilmaz S.B., Huang X., Zhang W.*, et al. Face classification using electronic synapses. *Nature communications*. 2017. Vol. 8. DOI:10.1038/ncomms15199.

22. *Park S., Chu M., Kim J., Noh J., Jeon M., Hun Lee B.*, et al. Electronic system with memristive synap-

ses for pattern recognition. *Scientific Reports*. 2015. Vol. 5. DOI:10.1038/srep10123.

23. *Hamdioui S., Aziza, H., Sirakoulis G.C.* Memristor based memories: Technology, design and test. // *Proceedings - 2014 9th IEEE International Conference on Design and Technology of Integrated Systems in Nanoscale Era, DTIS 2014 (IEEE Computer Society)*. DOI:10.1109/DTIS.2014.6850647.

Поступила 30 октября 2019 г.

English

PECULIARITIES TO ENSURE FAULT TOLERANCE OF MEMRISTOR-BASED NEURAL NETWORKS ON CIRCUIT STRUCTURAL-FUNCTIONAL LEVEL

Sergey Nikolayevich Danilin – Candidate of Technical Sciences, Associate Professor, Department of Software Engineering, Murom Institute (Branch) “Vladimir State University named after A.G. and N.G. Stoletov”.

E-mail: dsn-55@mail.ru.

Anton Dmitriyevich Zuyev – Engineer, Department of Software Engineering, Murom Institute (Branch) “Vladimir State University named after A.G. and N.G. Stoletov”.

E-mail: ad-nemo@mail.ru.

Address: 602254, Russian Federation, Vladimir region, Murom, Orlovskaya street, 23.

Abstract: Currently, leading Russian and foreign developers and manufacturers of computing tools are carrying out large-scale activities in the sphere of artificial cognitive systems, which are necessary for implementation of neuromorphic devices for various purposes. This phenomenon is due to their potential advantages in accuracy, fault tolerance, fast performance, reliability, power consumption compared to information systems with sequential information processing technologies. However, nominal quality of artificial neural networks (ANN) achieved at computer modeling stage is significantly reducing during their engineering implementation. The article is concerned with the problem of ensuring high fault tolerance (FT) of memristor-based artificial neural networks (MBANN) that are hardware implemented. The primary task within the above problem is to preserve the assigned fault tolerance and accuracy of MBANN operation when passing from computer models to real devices due to impact of additional external and internal negative factors. Known general-circuit solutions of the problem, their weak and strong points are examined. The general approach developed by the authors was applied to make and operate MBANN, further detailed FT definition was given for memristors, neurons and ANN based on them. A package of passive and active methods is proposed and carried out to increase fault tolerance on levels of base implementation for neurons and MBANN as an information system. Author-developed hardware design implementation is proposed for fault-tolerant MBANN taught for recognition and nonlinear classification of several types of biological signals. MBANN has a multi-layer perceptron architecture, which is hardware implemented using Russian passive matrices of metal-oxide memristors with crossbar topology. Practical application of author's inventions enables to efficiently improve known and to synthesize new technologies of passive or active matrices ensuring fault tolerance for current and upcoming MBANN.

Keywords: memristors, neural chips, artificial neural networks, engineering design, simulation modelling, fault tolerance, accuracy.

The reported study was funded by RFBR, project number 19-07-01215.

References

1. *Mikhaylov A.N., Morozov O.A., Ovchinnikov P.E., Antonov I.N., Belov A.I., Korolev D.S., Sharapov A.N., Gryaznov E.G., Gorshkov O.N., Pigareva Ya.I., Pimashkin A.S., Lobov S.A., Kazantsev V.B.* One-Board Design and Simulation of Double-Layer Perceptron Based on Metal-Oxide Memristive Nanostructures. *IEEE Transactions on Emerging Topics in Computational Intelligence*. 2018. Vol. 2. No. 5. Pp. 371–379.

2. *Nikiruy K.E., Emelyanov A.V., Rylkov V.V., Sitnikov A.V., Demin V.A.* Adaptive Properties of Spiking Neuromorphic Networks with Synapses Based on Memristive Elements. *Technical Physics Letters*. 2019. Vol. 45. Pp. 386–390.

3. *Kataeva I., Ohtsuka S., Nili H., Kim H., Isobe Y., Yako K., Strukov D.* Towards the development of analog neuromorphic chip prototype with 2.4m integrated memristors. 2019 IEEE International Symposium on Circuits and Systems (ISCAS). 2019. Pp. 1–51.
4. *Zhiganov S.N., Mikheev K.V.* Comparison of two methods for finding coefficients of Chebyshev polynomials in approximation of trigonometric function. Applied problems of signal formation and processing in radar, communications and acoustics. Collection of abstracts of the IX scientific-practical seminar. 2018. Pp. 10–13.
5. *Torres-Huitzil C., Girau B.* Fault and error tolerance in neural networks: A review. IEEE Access. 2017. Vol. 5. Pp. 17322–17341.
6. *Yeung D. S., Cloete I., Shi D., Ng W.W.Y.* Sensitivity Analysis for Neural Networks. Heidelberg: Springer, 2010. 89 p.
7. The latest technologies of neuromorphic computing will lead to the development of artificial intelligence. Express information on foreign electronic technology. Vol. 23 (6697). Nov. 21, 2019. Pp. 14–18.
8. *Danilin S.N., Shchanikov S.A., Bordanov I.A., Zuev A.D., Pantyukhin D.V., Panteleev S.V.* The state of research in the field of engineering design and production of Neurocomputers. Algoritmy, metody i sistemy obrabotki dannyh. 2019. No. 1 (39). Pp. 14–45.
9. *Danilin S.N., Shchanikov S.A., Bordanov I.A., Zuev A.D.* Circuit solutions in the implementation of artificial neural networks based on memristors. Neurocomputers and their application. XVII All-Russian scientific conference. Issue of reports. 2019. Pp. 207–210.
10. *Galushkin A.I.* Neural networks: fundamentals of the theory. Moscow: Hotline-Telecom, 2013. 496 p.
11. *Danilin S.N., Shchanikov S.A., Panteleev S.V., Zuev A.D.* Peculiarities of electrophysical properties of the non-volatile nanometrov. Neurocomputers and their application. XVII all-Russian scientific conference. Proc. 2019. Pp. 197–199.
12. *Kulik S.D.* Elements of system analysis for students of senior courses of the University. Natural and technical Sciences. 2018. No. 11 (125). Pp. 373–377.
13. *Algazinov E.K., Sirota A.A.* Analysis and computer modeling of information processes and systems; ed. Moscow: Dialog-MIFI, 2009. 416 p.
14. *Danilin S.N., Shchanikov S.A., Bordanov I.A., Zuev A.D., Sakulin A.E.* Application of simulation modeling in engineering design of artificial neural networks based on memristors. Information systems and technologies-2019. Proceedings of the XXV International scientific and technical conference. Nizhny. Novgorod: NNSTU, 2019. Pp. 459–467.
15. *Danilin S.N., Sannikov S.A., Zuev A.D., Bordunov I.A., Sakulin A.E.* Designing artificial neural networks based on memristor with a given resiliency. Electronic and telecommunications a telecommunication system. 2019. No. 2 (34). Pp. 41–50.
16. *Chua. L., Sirakoulis G.* Handbook of Memristor Networks. Springer Nature Switzerland AG 2019 p. 1357.
17. *Adhikari et al.*: Memristor Bridge Synapse-Based Neural Network and Its Learning. IEEE Transactions on neural networks and learning systems. 2012. Vol. 23. No. 9. Pp. 1426–1435.
18. *Antonov I.N., Belov A.I., Mikhailov A.N., Morozov O.A., Ovchinnikov P.E.* Formation of weight coefficients of artificial neural network on the basis of memristive effect in nanostructures "metal-oxide-metal". Radio engineering and electronics. 2018. Vol. 63. No. 8. Pp. 880–888.
19. *Merrikh Bayat F., Prezioso M., Chakrabarti B., Kataeva I., Strukov D.* Implementation of Multilayer Perceptron Network with Highly Uniform Passive Memristive Crossbar Circuits. Nature communications. 2018. Vol. 9 (1). Pp. 2331.
20. *Strukov D.B., Snider G.S., Stewart D.R., Williams R.S.* The missing memristor found. Nature. 2008. Pp. 80–83. DOI:10.1038/nature06932.
21. *Yao P., Wu H., Gao B., Eryilmaz S.B., Huang X., Zhang W., et al.* Face classification using electronic synapses. Nature communications. 2017. Vol. 8. DOI:10.1038/ncomms15199.
22. *Park S., Chu M., Kim J., Noh J., Jeon M., Hun Lee B., et al.* Electronic system with memristive synapses for pattern recognition. Scientific Reports. 2015. Vol. 5. DOI:10.1038/srep10123.
23. *Hamdioui S., Aziza, H., Sirakoulis G.C.* Memristor based memories: Technology, design and test. Proceedings - 2014 9th IEEE International Conference on Design and Technology of Integrated Systems in Nanoscale Era, DTIS 2014 (IEEE Computer Society). DOI:10.1109/DTIS.2014.6850647.