

УДК 621.396

Разработка формирователя тактового сигнала цифрового вычислительного синтезатора на микросхеме ADCLK944

Докторов А.Н., Якименко К.А., Сочнева Н.А., Яшина Н.А.

В данной работе описаны основные этапы разработки формирователя тактового сигнала для цифровых вычислительных синтезаторов на основе микросхемы ADCLK944, представляющей собой сверхбыстрый буфер разветвления тактовых импульсов. Исследуются основные схемы включения и рабочие режимы микросхемы, поддерживающие применение цифровых сигналов логик LVPECL, CML, 3.3 V CMOS, 1.8 V CMOS, LVDS. Анализируется конструкция четырехслойной печатной платы отладочного модуля ADCLK944-PCBZ. Разработана топология печатной платы отладочного модуля с микросхемой ADCLK944. Изготовлен макет отладочного модуля ADCLK944 на двусторонней печатной плате, с максимальной рабочей частотой выходных сигналов не менее 600 МГц.

Ключевые слова: тактовый сигнал, цифровой вычислительный синтезатор, ADCLK944, LVPECL.

Цифровые вычислительные синтезаторы (ЦВС) широко используются для создания современных устройств формирования радиосигналов. Принцип работы данных синтезаторов основан на методе прямого цифрового синтеза [1, 2], позволяющего реализовать оперативное цифровое управление всеми параметрами синтезируемого сигнала – амплитудой, частотой и фазой. ЦВС позволяют реализовать многие методы модуляции непосредственно в процессе цифрового синтеза сигнала [3].

Для работы цифровых вычислительных синтезаторов требуются высококачественные источники тактового сигнала – генераторы

опорной частоты. Современные ЦВС, как показано на рис. 1, поддерживают подключение различных источников тактовых сигналов.

Существуют три варианта подключения внешних опорных генераторов [4]:

1. Специальные генераторы на основе PECL, LVPECL, LVDS с дифференциальным выходом;

2. Подключение несимметричного источника через широкополосные трансформирующие линии (согласующий трансформатор), преобразующие несимметричный сигнал генератора в дифференциальный входной сигнал.

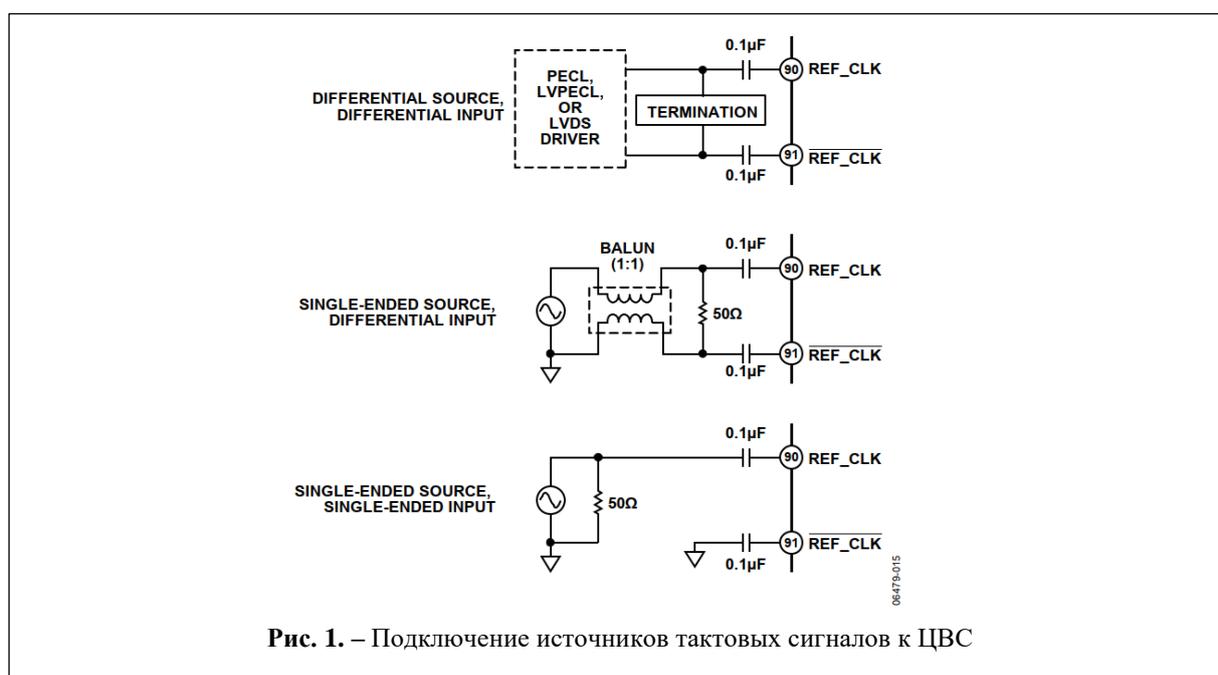


Рис. 1. – Подключение источников тактовых сигналов к ЦВС

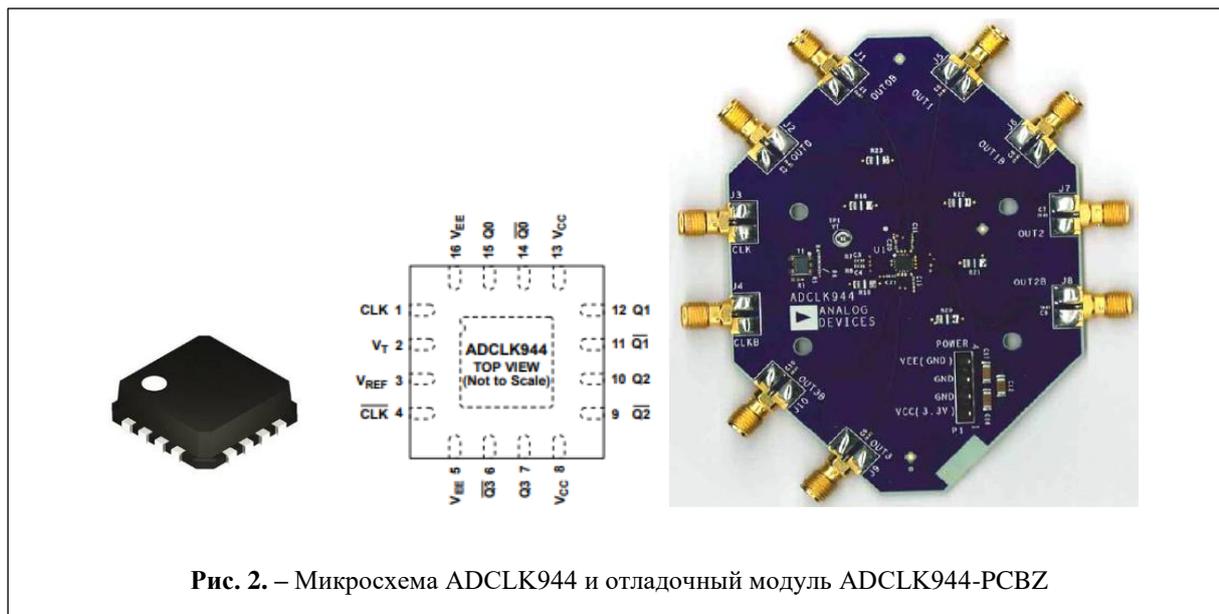


Рис. 2. – Микросхема ADCLK944 и отладочный модуль ADCLK944-PCBZ

3. Прямое подключение генератора с выходным сопротивлением 50 Ом.

Как видно из рис. 1, первый случай с подключением тактового сигнала, соответствующего типам логик PECL, LVPECL, LVDS с дифференциальным выходом, наиболее предпочтителен. Использование цифровых дифференциальных тактовых сигналов позволяет реализовать прямое подключение высокочастотных ГОЧ с тактовой частотой, близкой к максимально поддерживаемой для каждой конкретной модели ЦВС. Два других способа позволяют использовать в качестве опорного сигнала не цифровой сигнал, а аналоговый синусоидальный, сформированный высокостабильным генератором опорной частоты, например кварцевым генератором или генератором с резонатором на поверхностно-акустических волнах (ПАВ). Однако использование тактового сигнала синусоидальной формы предпочтительно при включении встроенного во многих ЦВС умножителя тактовой частоты на системе ФАПЧ и в случаях низкой опорной частоты (менее 100 МГц).

Существуют специализированные микросхемы, позволяющие преобразовать несимметричный синусоидальный сигнал от генератора опорной частоты с выходным волно-

вым сопротивлением, равным 50 Ом, в симметричный тактовый сигнал типа «меандр» прямоугольной формы, амплитуда которого определяется уровнями цифровой логики LVPECL. К данным микросхемам относится и ADCLK944, осуществляющая преобразование сигнала ГОЧ к цифровому виду, определяемому логикой LVPECL. Кроме того, поддерживается разветвление исходного тактового сигнала на четыре равнозначных, подключаемых к дифференциальным тактовым входам нескольких ЦВС, для которых требуется создать одинаковый когерентный тактовый сигнал. Для этого при проектировании печатных плат с данными формирователями тактового сигнала длина дорожек от микросхемы до выходных разъемов для всех четырех дифференциальных каналов делается одинаковой. Внешний вид микросхемы ADCLK944 и ее отладочного модуля, выпускаемого компанией Analog Devices, показан на рис. 2. [5]. Принципиальная электрическая схема отладочного модуля показана на рис. 3.

Приведенная на рис. 3 принципиальная схема отладочного модуля, указанная в его техническом описании [5], содержит элементы, характерные для различных режимов работы и схем включения. Так например, на

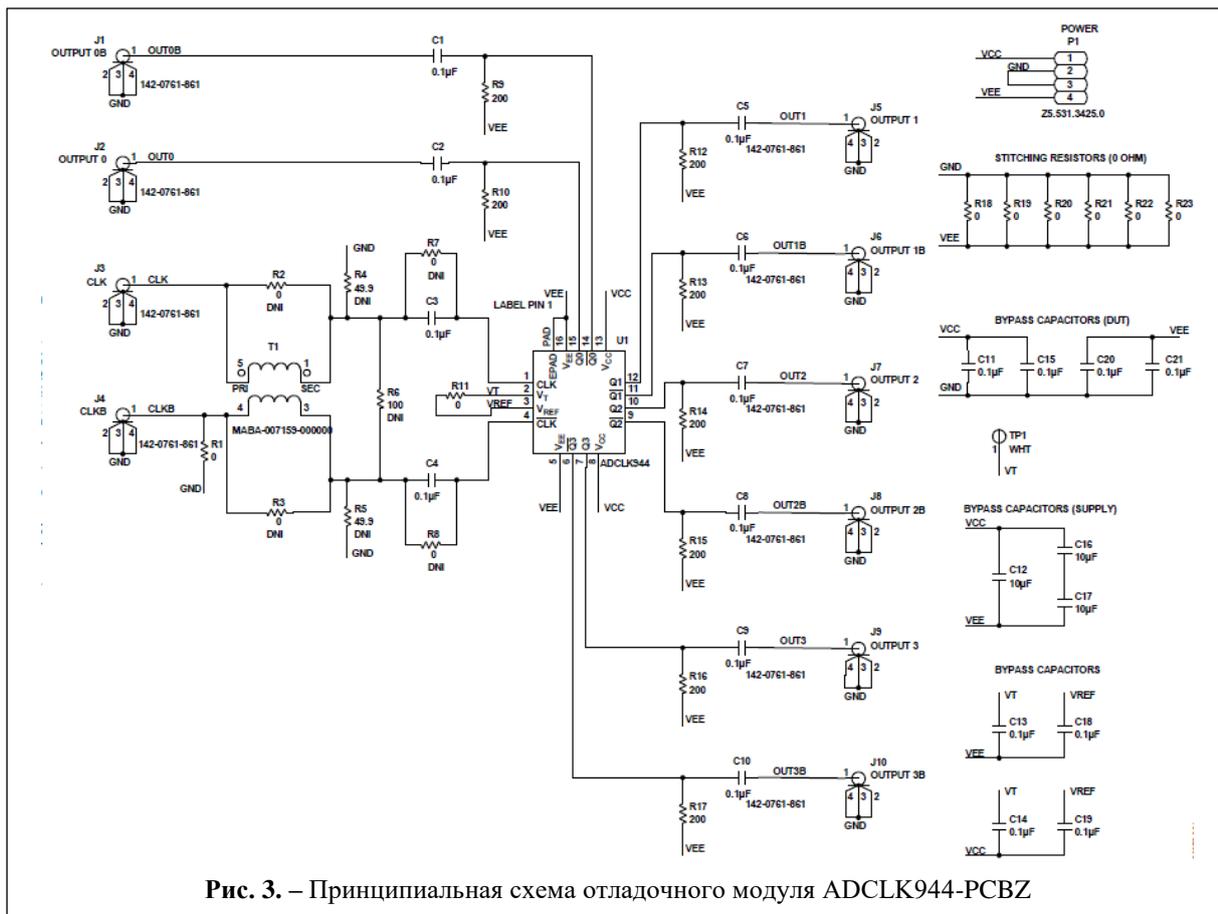


Рис. 3. – Принципиальная схема отладочного модуля ADCLK944-PCBZ

схеме показан симметрирующий трансформатор для преобразования сигнала (BALUN) и переключки в виде резисторов R7, R8 с сопротивлением 0 Ом, шунтирующие обмотки трансформатора. В зависимости от типа схемы включения ГОЧ часть элементов на входе схемы демонтируется, или наоборот устанавливается. Аналогично выполнены цепи питания. По умолчанию микросхема и отладочный модуль настроены на использование цифровых сигналов логики LVPECL (положительная PECL – эмиттерно-связанная логика). Для этого используется напряжение питания $V_{CC} = 3,3$ В. Цепь, промаркированная как VEE, по умолчанию соединена с землей схемы, т.е. GND через резисторы R18-R23 с сопротивлением 0 Ом, выполняющие роль переключек. В случае, когда используется простая ECL, или отрицательная эмиттерно-связанная логика, то плюс источника питания подключается к потенциалу земли (GND), а минус – VEE. Переключки, ранее соединявшие

цепи GND и VEE в этом случае демонтируются.

Главными достоинствами ADCLK944 является высокая рабочая частота (максимальная частота 7 ГГц) и низкий уровень широкополосного случайного джиттера величиной 50 fs rms. В техническом описании приведена также спектральная плотность мощности фазовых шумов ADCLK944 (рис. 4).

Когда скорость нарастания входного сигнала составляет примерно в 1 В/нс, показания джиттера выходного сигнала начинают ухудшаться. В таком случае ADCLK944 минимизирует дополнительный случайный джиттер в широком диапазоне скоростей нарастания входного сигнала. Чтобы аттенюаторы не уменьшали скорость нарастания по возможности нужно ограничить входные сигналы диодами Шоттки. Входной сигнал при прохождении пути длиной более нескольких сантиметров должен проходить через диэлектрики

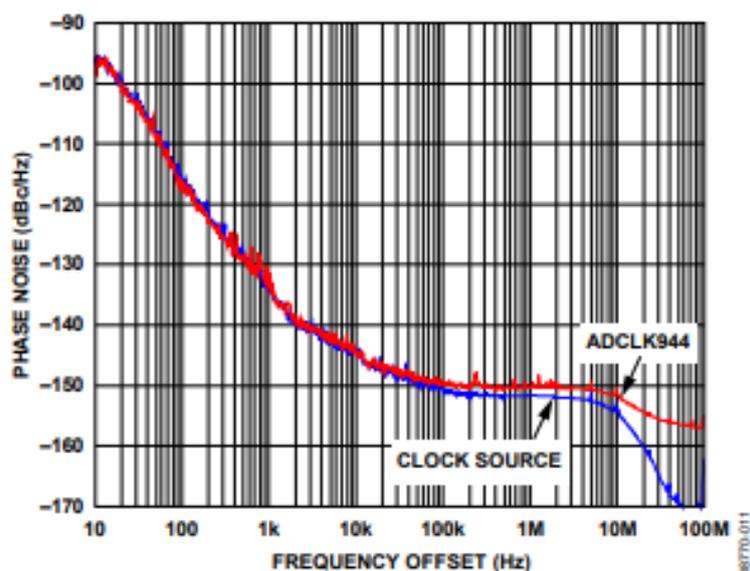


Figure 10. Absolute Phase Noise Measured at 1 GHz with Agilent E5052B

Рис. 4. – Спектральная плотность мощности фазовых шумов ADCLK944

с малыми потерями и кабели с хорошими высокочастотными характеристиками. Формирователь тактового сигнала на основе данной микросхемы и ее аналогов может быть использован для формирования тактового сигнала для быстродействующих цифроаналоговых преобразователей, использующих специальные режимы работы для повышения эффективности использования образцов основной частоты [6-8]. Это одно из перспективных направлений развития современных высокочастотных цифровых вычислительных синтезаторов и прямого цифрового синтеза.

В данной работе была поставлена задача создать свой вариант отладочного модуля с микросхемой ADCLK944. Для этого была разработана двусторонняя печатная плата, соответствующая принципиальной схеме, показанной на рис. 3, но с некоторыми упрощениями: модуль рассчитан на работу только с логикой LVPECL входной сигнал от ГОЧ подается на вход микросхемы через симметрирующий трансформатор. Для разработки двусторонней печатной платы использовалась программа Sprint layout 6.0, за основу топологии были приняты слои печатной платы оригинального отладочного модуля ADCLK944-

PCBZ, указанные в техническом описании. Результат проектирования печатной платы показан на рис. 5.

Печатная плата была изготовлена методом термопереноса тонера лазерного принтера и химического травления в растворе хлорного железа. Переходные отверстия выполнены сверлом диаметром 0,5 мм, соединения слоев выполнены пайкой тонкой одножильной проволоки диаметром 0,3 мм. При изготовлении платы пришлось увеличить диаметр контактных площадок переходных отверстий, чтобы

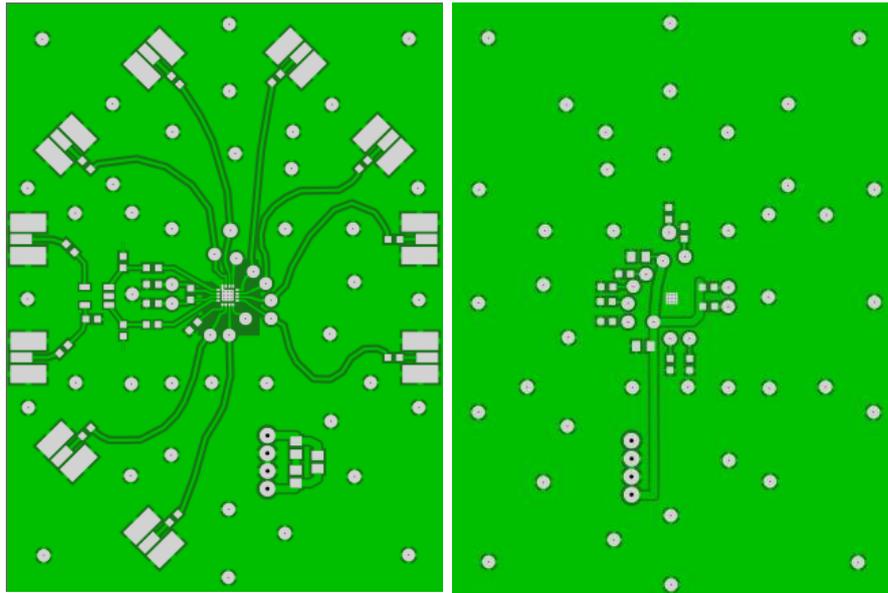


Рис. 5. – Проект печатной платы отладочного модуля ADCLK944

минимизировать ошибки сверления для двусторонней печатной платы. В качестве основы печатной платы был выбран двусторонний фольгированный стеклотекстолит толщиной 1 мм отечественного производства.

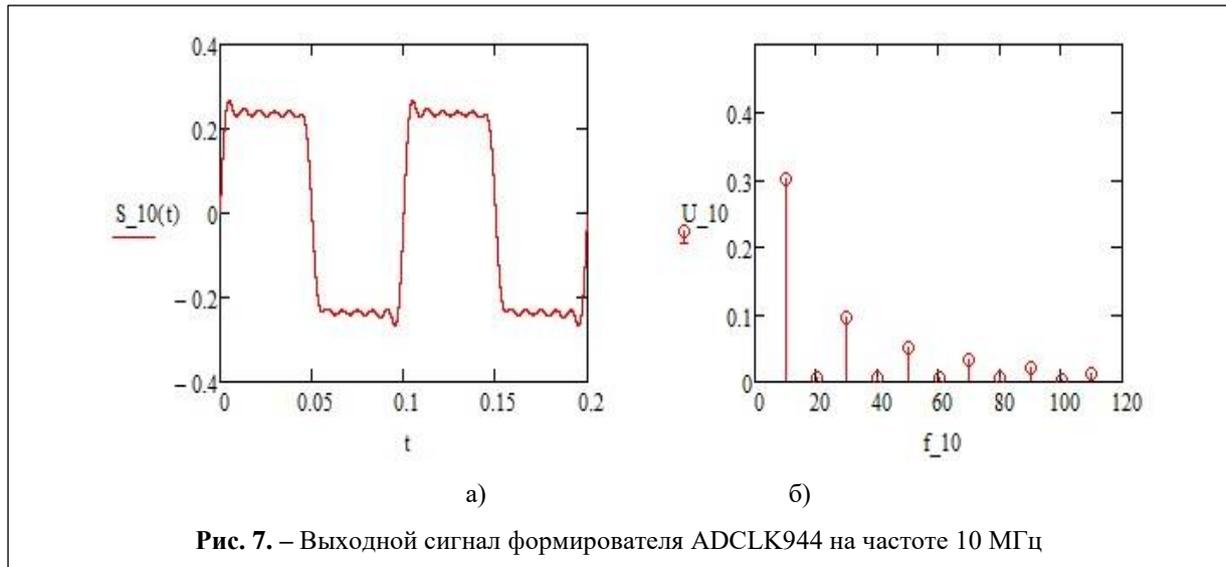
На рис. 6 показан внешний вид собранной печатной платы. В центре платы находится микросхема ADCLK944. Слева от нее расположен симметрирующий трансформатор и входы внешнего тактового сигнала. Четыре

выходных канала с двумя дифференциальными сигналами каждый равномерно расположены на поверхности печатной платы, причем конфигурация печатных проводников выбрана так, чтобы электрическая длина всех данных дорожек совпадала, и отсутствовали различные фазовые сдвиги при прохождении выходных сигналов формирователя.

Отладочный модуль формирователя тактового сигнала ADCLK944 цифровых вычислительных синтезаторов был изготовлен в виде



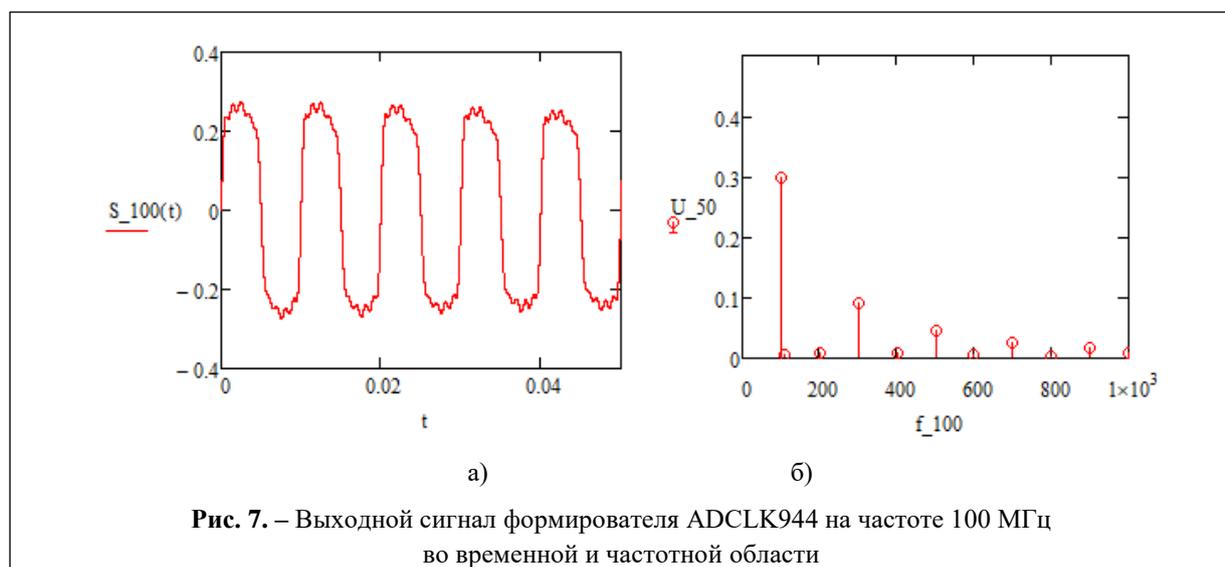
Рис. 6. – Печатная плата отладочного модуля ADCLK944 в собранном виде



двухсторонней печатной платы. Для проверки работоспособности использовались опорные синусоидальные сигналы с различными частотами. Исследование формируемых высокочастотных сигналов было ограничено максимальным частотным диапазоном имеющегося лабораторного оборудования в 3 ГГц. Для измерений выходного сигнала использовался спектроанализатор Rigol DSA1030A. Результаты измерений обработаны с помощью математического пакета MathCAD; с помощью обратного быстрого преобразования Фурье и гармонического синтеза были построены временные реализации сигнала. Результаты измерений и расчетов приведены на рис. 7 – 8 для выходных частот 10 и 100 МГц.

Таким образом, в данной работе было разработано устройство формирования дифференциальных тактовых сигналов для цифровых вычислительных синтезаторов на основе

интегральной микросхемы ADCLK944. В программе Sprint Layout 6.0 была разработана двусторонняя печатная плата и затем изготовлена из фольгированного стеклотекстолита. Конфигурация проводящих дорожек выходных сигналов повторяет оригинальную конфигурацию отладочного модуля компании Analog Devices, поскольку для устранения фазовых сдвигов формируемых сигналов их электрическая длина должна совпадать. Проведены экспериментальные измерения спектров выходного сигнала с помощью спектроанализатора Rigol DSA1030A для частот выходных сигналов 10 и 100 МГц. Восстановление сигнала в временной области с помощью гармонического синтеза методом обратного преобразования Фурье показывает, что форма импульсов близка к прямоугольной. Для более точного анализа нужно использовать дру-



гие измерительные приборы с более высокочастотным рабочим диапазоном и чувствительностью. Анализ полученных результатов экспериментальных измерений на имеющемся лабораторном оборудовании позволяет сделать вывод о работоспособности изготовленного формирователя тактовых сигналов с микросхемой ADCLK944 и двусторонней печатной платой до основных частот тактового сигнала, не превышающих 300 МГц.

Литература

1. Ромашов В.В., Храмов К.К., Докторов А.Н. Модель цифрового вычислительного синтезатора, работающего на образах основной частоты // Радиотехнические и телекоммуникационные системы. 2012. № 2 (6). С. 13-17.
2. Kroupa, V.F. Direct Digital Frequency Synthesizers. / V.F. Kroupa – 1998. – John Wiley & Sons, Ltd. – 396 с.
3. Technical Tutorial on Digital Signal Synthesis. 1999, Analog Devices, Inc.
4. AD9910 DDS Analog Devices company website 2023 [Электронный ресурс]. URL:

<https://www.analog.com/en/products/rf-micro-wave/direct-digital-synthesis-modules/ad9910.html>

5. AD9910 DDS Analog Devices company website 2023 [Электронный ресурс]. URL: https://www.analog.com/static/imported-files/data_sheets/ADCLK944.pdf

6. Ромашов В.В., Храмов К.К., Докторов А.Н., Якименко К.А., Сочнева Н.А. Повышение эффективности использования высших зон Найквиста при прямом цифровом синтезе высокочастотных сигналов // Журнал «Радиотехника», 2022. Том: 86 номер: 5 Страницы: 135-144. DOI: 10.18127/j00338486-202205-16

7. Храмов К.К., Ромашов В.В. Сравнительный анализ режимов работы быстродействующих ЦАП // Радиотехнические и телекоммуникационные системы. 2018, № 4. С.44-54.

8. V V Romashov, A N Doktorov, K A Yakimenko and K K Khramov Development of technology of high-speed digital-to-analogue converters to improve the efficiency of direct digital synthesis of radio-frequency signals // Journal of Physics: Conference Series. 2021. Vol. 2094 (2021) 022067 DOI:10.1088/1742-6596/2094/2/022067

Исследование выполнено за счет гранта Российского научного фонда № 22-79-00149, <https://rscf.ru/project/22-79-00149/>

Поступила 11 августа 2022 г.

This paper describes the main stages of the development of a clock signal generator for digital computing synthesizers based on the ADCLK944 chip, which is an ultrafast buffer for branching clock pulses. The main switching circuits and operating modes of the chip supporting the use of digital signals of LVPECL, CML, 3.3 V CMOS, 1.8 V CMOS, LVDS logic are investigated. The design of the four-layer PCB of the ADCLK944-PCBZ debugging module is analyzed. The topology of the PCB of the debugging module with the ADCLK944 chip has been developed. A layout of the ADCLK944 debugging module on a two-sided printed circuit board was made, with a maximum operating frequency of output signals of at least 600 MHz.

Keywords: clock signal, direct digital synthesizer, ADCLK944, LVPECL.

Докторов Андрей Николаевич – кандидат технических наук, доцент кафедры радиотехники Муромского института (филиала) ФГБОУ ВО «Владимирский государственный университет имени Александра Григорьевича и Николая Григорьевича Столетовых».

E-mail: doctorov_a_n@mail.ru

Якименко Кирилл Александрович – кандидат технических наук, доцент кафедры радиотехники Муромского института (филиала) ФГБОУ ВО «Владимирский государственный университет имени Александра Григорьевича и Николая Григорьевича Столетовых».

E-mail: yakimenko.kirill@yandex.ru

Сочнева Наталья Александровна – аспирант 3-го курса по направлению подготовки аспирантуры 05.12.04 «Радиотехника, в том числе системы и устройства телевидения» ФГБОУ ВО «Владимирский государственный университет имени Александра Григорьевича и Николая Григорьевича Столетовых».

E-mail: sochnewa.natalya@yandex.ru

Яшина Наталья Александровна – магистрант 1-го курса по направлению подготовки магистратуры 11.04.01 «Радиотехника» факультета информационных технологий и радиоэлектроники Муромского института (филиала) ФГБОУ ВО «Владимирский государственный университет имени Александра Григорьевича и Николая Григорьевича Столетовых».

E-mail: nata.yashina201@yandex.ru

Адрес: 602264, Владимирская обл., г. Муром, ул. Орловская, д. 23.